



РУКОВОДСТВО ПО ЭКСПЛУАТАЦИИ
Мультиклеточный процессор МСр0411100101
в корпусах QFP-208 и CQFP-240



Руководство по эксплуатации разработано в соответствии с ГОСТ 2.601-95

Содержание

ВВЕДЕНИЕ.....	3
1. ИСПОЛЬЗУЕМЫЕ СОКРАЩЕНИЯ.....	4
2. ОПИСАНИЕ И РАБОТА.....	5
2.1. Назначение изделия.....	5
2.2. Техническое описание.....	6
2.3. Устройство и работа.....	8
2.3.1. Структура МП.....	8
2.3.2. Ядро МП.....	10
2.3.3. Адресное пространство МП.....	11
2.3.3.1. Поле регистров.....	12
2.3.3.2. Память программ.....	18
2.3.3.3. Память данных и шина периферийных устройств.....	19
2.3.3.4. Процесс инициализации МП.....	21
2.3.4. Системный сброс и система тактирования.....	22
2.3.5. Контроллер прерываний.....	24
2.3.6. Системный таймер.....	28
2.4. Периферийные устройства.....	30
2.4.1. Универсальный асинхронный приёмопередатчик (UART0..UART3).....	30
2.4.2. Последовательный интерфейс I2C.....	32
2.4.2.1. I2C master (I2C0).....	32
2.4.2.2. I2C slave (I2C1).....	35
2.4.3. Последовательный интерфейс SPI (SPIx).....	38
2.4.4. Сторожевой таймер (WDT).....	41
2.4.5. Часы реального времени (RTC).....	43
2.4.6. Контроллер ШИМ (PWM0).....	46
2.4.7. Порт ввода-вывода (GPIOx).....	49
2.4.8. Ethernet контроллер (Ethernet0).....	51
2.4.9. Таймер общего назначения (GPTIMx).....	54
2.4.10. Последовательный интерфейс I2S (I2S0).....	56
2.4.11. USB (USB0).....	58
2.5. Назначение выводов процессора.....	63
2.5.1. Назначение выводов процессора МСр0411100101 – Q 208.....	63
2.5.2. Назначение выводов процессора МСр0411100101 – CQ 240.....	70
2.6. Габаритный чертеж.....	78
2.6.1. Габаритный чертеж процессора МСр0411100101 – Q 208.....	78
2.6.2. Габаритный чертеж процессора МСр0411100101 – CQ 240.....	79
2.7. Электрические параметры.....	80
2.8. Маркировка.....	81
3. ЭКСПЛУАТАЦИЯ, ХРАНЕНИЕ, ТРАНСПОРТИРОВАНИЕ.....	82



ВВЕДЕНИЕ

В документе приведено описание особенностей и возможностей микропроцессора МСр0411100101 в пластиковом QFP-208 и металлокерамическом CQFP-240 (4245.240-6) корпусах, его внутренней организации, адресного пространства запоминающих устройств, а также сделан обзор периферийных устройств микропроцессора.



1. ИСПОЛЬЗУЕМЫЕ СОКРАЩЕНИЯ

МП — микропроцессор;

МСр – мультиклеточный микропроцессор;

ПО – программное обеспечение;

ПК – персональный компьютер;

ПЗУ – постоянное запоминающее устройство;

ОЗУ – оперативное запоминающее устройство;

СОЗУ — статическое оперативное запоминающее устройство;

ПБ – процессорный блок (клетка);

ПП – память программ;

ПД – память данных;

ЦПУ – центральное процессорное устройство;

РОН — регистр(ы) общего назначения.



2. ОПИСАНИЕ И РАБОТА

2.1. Назначение изделия

Мультиклеточный микропроцессор МСр0411100101 в пластиковом корпусе QFP-208 предназначен для решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности, таких как:

- системы промавтоматики от интеллектуальных датчиков до систем управления двигателями;
- универсальные навигационные приемники ГЛОНАСС/GPS/Galileo/COMPASS(Китай)/IRNSS(Индия)/QZSS(Япония);
- мобильные телефоны;
- видеотехника 3D;
- автомобильная электроника для «интеллектуальных» бортовых систем, контролирующих дорожную обстановку и предупреждающих водителей об опасностях и пробках;
- системы безопасности, автоматически распознающих «своих» и «чужих».

Мультиклеточный микропроцессор МСр0411100101 в металлокерамическом CQFP-240 (4245.240-6) корпусе предназначен для специальных применений, требующих особой стойкости.

2.2. Техническое описание

Микропроцессор МСр0411100101 имеет в своем составе мультиклеточное процессорное ядро – первое процессорное ядро с принципиально новой пост-неймановской мультиклеточной архитектурой российской разработки. Данный мультиклеточный процессор состоит из 4 клеток (когерентных процессорных блоков), объединенных интеллектуальной коммутационной средой.

Особенности:

- Число клеток - 4
- Разрядность процессора - 32/64 бита
- ПД - 128Кб (4*4К*64)
- ПП - 128Кб (4*4К*64)
- ПЗУ - в исполнении «1» отсутствует, для хранения исполняемого кода должно применяться внешнее последовательное FLASH ПЗУ.

Список рекомендуемых FLASH ПЗУ для использования с процессором МСр0411100101

№ п/п	Наименование	Производитель	Память Мб	Корпус	Питание В	Температ. диапазон	Поставщики в РФ	Рекомендовано МО РФ*
1	XCF04S	Xilinx	4	VO20/VOG20	1.8 – 3.3	-40°C +85°C	Макро Групп macrogroup.ru	нет
2	XCF08P	Xilinx	8	VO48/VOG48 FS48/FSG48	1.8 – 3.3	-40°C +85°C	Макро Групп macrogroup.ru	нет
3	XCF16P	Xilinx	16	VO48/VOG48 FS48/FSG48	1.8 – 3.3	-40°C +85°C	Макро Групп macrogroup.ru	да
4	XCF32P	Xilinx	32	VO48/VOG48 FS48/FSG48	1.8 – 3.3	-40°C +85°C	Макро Групп macrogroup.ru	да

* Рекомендовано МО РФ в Справочных материалах "Рационально-унифицированная и оптимизированная номенклатура ЭКБ иностранного производства для применения в РЭА" "Номенклатура 2012" Книга 2

- блок операций над числами с плавающей запятой (в каждой клетке)
- Тактовая частота — 100 МГц
- Производительность процессора — 2,4 Gflops;

Общие характеристики:

- Выпускается в корпусах: QFP-208 и CQFP-240
- Условия эксплуатации:
 - МСр0411100101 - Q 208 I от -40°C до +85°C;
 - МСр0411100101 - Q 208 M от -60°C до +125°C;
 - МСр0411100101 - CQ 240 I от -60°C до +90°C;
- Максимальная потребляемая мощность процессора: 1,08 Вт
- Напряжение питания (раздельное):
 - ядра - 1,8В
 - периферии — 3,3В

Периферийные устройства:

- 3 интерфейса SPI с селектором “ведомых” устройств (в режиме “ведущий”)
- 4 универсальных асинхронных приёмопередатчика UART с FIFO на прием/передачу
- 2 интерфейса I2C (один “master” и один “slave”)
- интерфейс I2S
- Ethernet контроллер 10/100Мб/с
- USB 1.1 FS (device) контроллер с последовательным внешним интерфейсом для подключения приемо-передатчика
- часы реального времени с календарем
- 7 таймеров общего назначения
- 4 порта ввода-вывода, общее количество вводов-выводов – 104
- 4-х канальный контроллер ШИМ
- сторожевой таймер

2.3. Устройство и работа

2.3.1. Структура МП

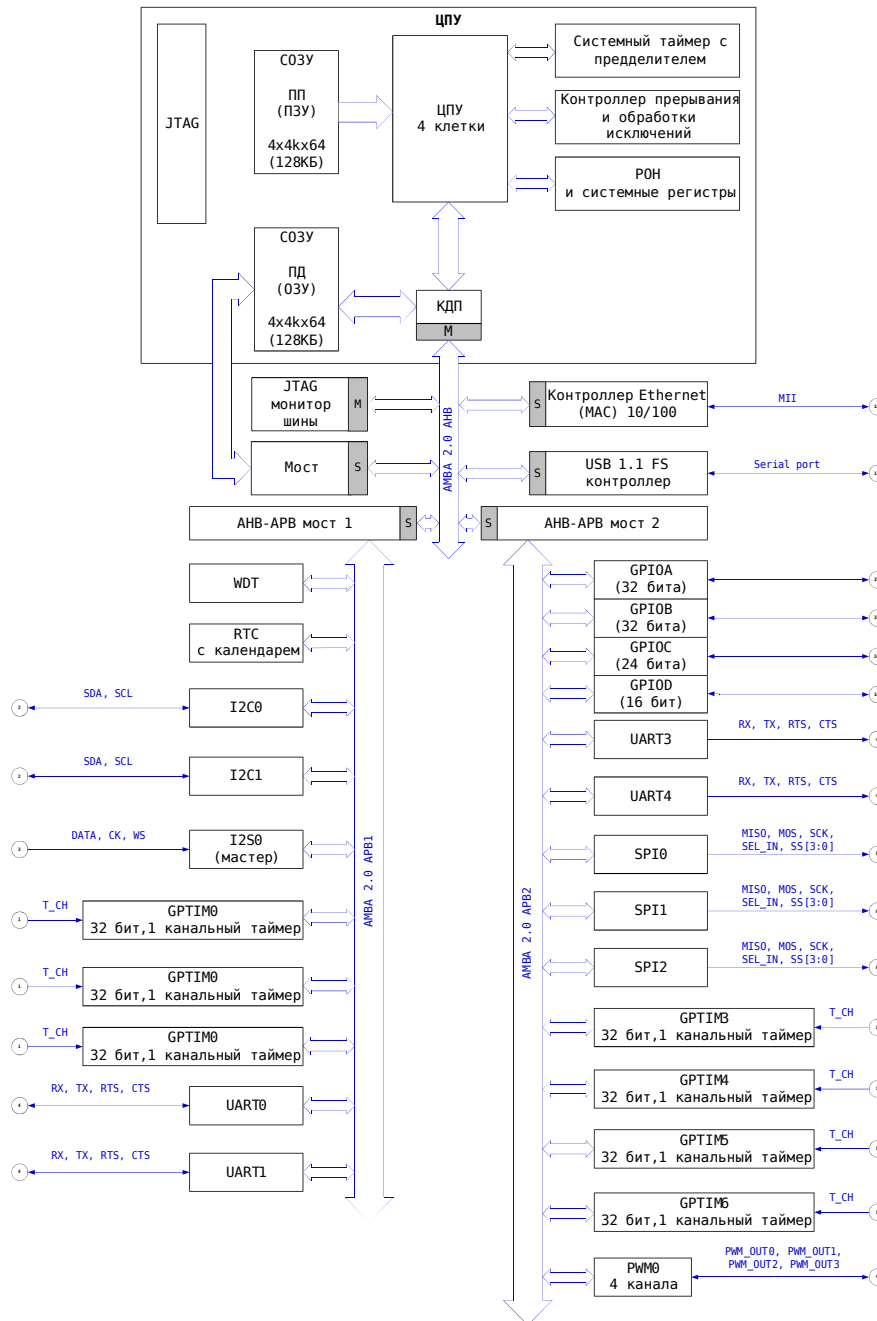


Рис. 1 - Общая структура процессора



ЦПУ:

- контроллер прерываний с аппаратом обработки исключительных ситуаций;
- ядро, предназначенное для вычислений и осуществления функций управления;
- системный таймер;
- модули внутрисхемной отладки;
- интерфейсы доступа к памяти и системной шине;
- системные регистры и регистры общего назначения.

Шина периферийных устройств:

Описание подключенных к шине периферийных устройств смотрите в п. 2.4.

2.3.2. Ядро МП

Ядро в своем составе имеет:

- 4 ПБ, имеющих нумерацию [0, 3];
- поле системных регистров и регистров общего назначения (РОН);

Структурная схема ядра микропроцессора представлена на Рис. 2

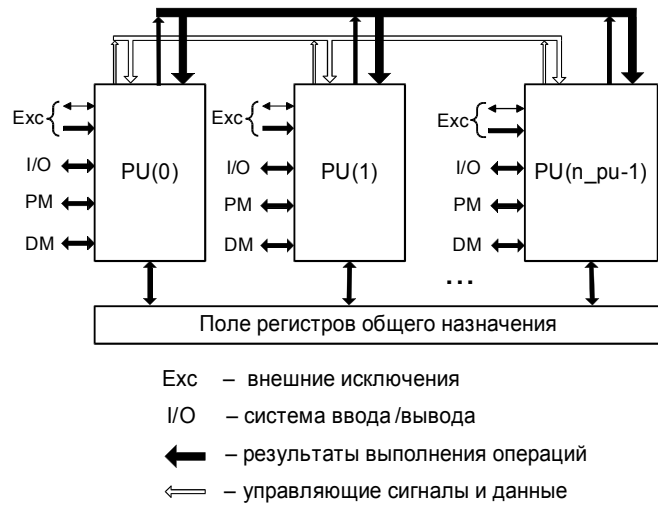


Рис. 2 - Структурная схема ядра

ПБ представляет собой набор управляющих и исполнительных блоков, имеет развитую систему команд. На Рис. 2 имеются следующие обозначения: РМ — шина памяти программ, ДМ — шина памяти данных, I/O — шина ввода/вывода, Exc — шина связи с контроллером прерываний и обработчиком исключительных ситуаций.

2.3.3. Адресное пространство МП

В своем адресном пространстве МП имеет:

- память программ(ПП);
- память данных (ПД);
- шину периферийных устройств.

Ко всем этим компонентам пользователь может адресоваться в своем программном алгоритме, исключение составляет ПП, она работает только в режиме чтения и не доступна пользователю для записи и произвольного чтения. ПП имеет отдельную шину подключения к ядру МП.

ПД и шина периферийных устройств находятся в одном адресном пространстве и имеют отдельную шину подключения к ядру МП. Поле регистров доступно по выделенной шине и физически является частью ядра МП.

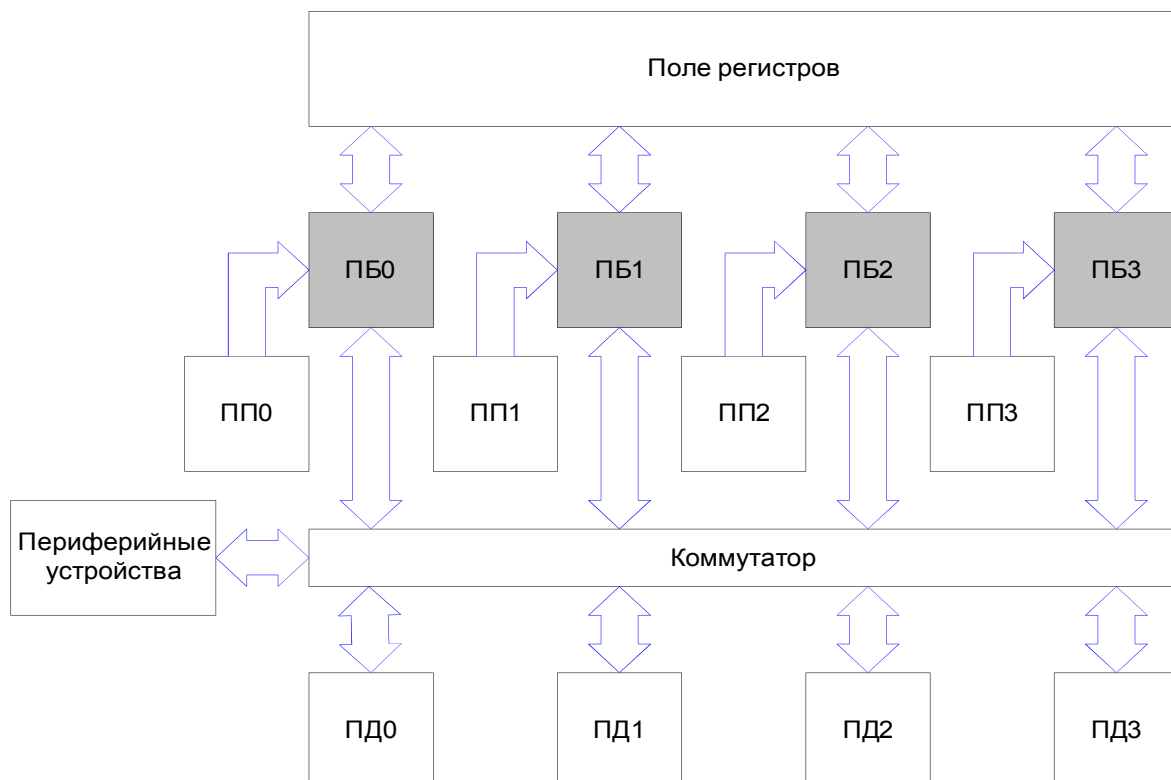


Рис. 3 - Организация памяти

2.3.3.1. Поле регистров

Все регистры, кроме управляющих, имеют ширину 64 бита. Чтение/запись регистров происходит с помощью специализированных команд.

Тип регистров	Номер
Регистры общего назначения	0-7
<i>Резерв</i>	<i>8-31</i>
Индексные регистры	32-47
Управляющие регистры:	
PSW	48
INTR	49
MSKR	50
ER	51
IRETADDR	52
STVALR	53
STCR	54
IHOOKADDR	55
INTNUMR	56
MODR	57

Индексные регистры:

Используются для косвенной адресации и имеют следующую логическую структуру:

Номера битов	63..48	47..32	31..0
	Индекс (Index)	Маска (Mask)	База (Base)

В общем случае, при использовании регистра данного типа в качестве аргумента операции, значение этого аргумента формируется согласно следующему алгоритму:

- вычисление исполнительного адреса, согласно следующей формуле:

$$Address = Index + Base$$

- обращение к памяти данных по исполнительному адресу Address для чтения значения аргумента согласно типу используемой операции.

Модификация значения индексного регистра осуществляется аппаратно по завершению параграфа в том случае, если установлен соответствующий бит регистра MODR маски изменения индексных регистров в регистре PSW, согласно следующей формуле:

$$Index = ((Index | \sim Mask) + 1) \& Mask,$$

где | - операция побитового «ИЛИ», & - операция побитового «И», ~ - операция побитового инвертирования.

Управляющие регистры:

Процессор имеет в своем составе следующие управляющие регистры:

Регистр	Номер регистра	Доступ	Описание
PSW	30h	RW	Регистр управления
INTR	31h	RW	Регистр прерываний
MSKR	32h	RW	Регистр маски прерываний
ER	33h	RC	Регистр ошибок
IRETADDR	34h	R	Регистр адреса возврата
STVALR	35h	RW	Период счетчика
STCR	36h	RW	Регистр управления счетчиком
IHOOKADDR	37h	RW	Регистр адреса первичного обработчика прерываний
INTNUMR	38h	R	Номер выработанного прерывания
MODR	39h	RW	Регистр модификации индексных регистров

Описание управляющих регистров:

PSW

Номер бита
Операции
Начальное состояние
Описание

Регистр управления PSW																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
R=0																												RW	RW	RW	R	RW	R	RW
0																												0	0	0	0	0	0	0
Зарезервировано																												RW	SWR	STOP	Reserved	SUSPEND	Reserved	INTRUS

Назначение разрядов регистра:

- 0 Разрешение обработки маскируемых прерываний:
0 – запрещено
1 – разрешено
Признак не блокирует прием прерываний регистром INTR, а блокирует только их дальнейшую обработку. Устанавливается всегда только программно, снимается программно и аппаратно (при переходе на программу обработки прерываний).
- 1 Зарезервировано
- 2 Переход в режим ожидания:
По окончании параграфа, в котором устанавливается данный бит, ядро переходит в режим ожидания. В этом состоянии оно находится до прихода прерывания. По приходу прерывания данный признак снимается аппаратно и управление передается на программу обслуживания прерываний. По окончании обслуживания прерывания, если программистом не заданы какие-либо действия, продолжается выполнения приостановленной программы.
- 3 Зарезервировано
- 4 Остановка ядра:
При установке в 1, по завершению текущего параграфа, ядро прекращает выборку команд. Возобновление работы возможно только извне, путем аппаратного сброса или подачи на вход "wake_up" процессора напряжения уровня логической "1".
- 5 Программный сброс:
При установке в 1, по завершению параграфа процессор проходит полную инициализацию, ядро автоматически начинает работу с исходного состояния, регистры сбрасываются в исходное состояние. Содержимое оперативной памяти не сохраняется.
- 6 Очередность исполнения команд чтения/записи:
0 – команды записи исполняются только после выполнения всех команд чтения данного параграфа
1 – контроль очередности не выполняется
- 7-31 Зарезервировано

INTR

Номер бита
Операции
Начальное состояние
Описание

Регистр прерываний INTR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
USB0_IRQ	ETHERNET_IRQ	GPIOD0_IRQ	GPIOD1_IRQ	GPIOD2_IRQ	GPIOD3_IRQ	RTC_IRQ	PWM0_IRQ	GPTIM0_IRQ	GPTIM1_IRQ	GPTIM2_IRQ	GPTIM3_IRQ	GPTIM4_IRQ	GPTIM5_IRQ	GPTIM6_IRQ	I2S0_IRQ	SPI2_IRQ	SPI1_IRQ	SPI0_IRQ	I2C1_IRQ	I2C0_IRQ	UART3_IRQ	UART2_IRQ	UART1_IRQ	UART0_IRQ	SWT	SWT	MPRGE	PPGE	PERE	ENMI	INMI

Назначение разрядов регистра:

Для всех разрядов регистра:

0 – отсутствие признака или события

1 – наличие признака или события

- 0 Немаскируемое внутреннее прерывание (INMI)
- 1 Немаскируемое внешнее прерывание (ENMI)
- 2 Немаскируемое исключение в аппаратной части (PERE)
- 3 Немаскируемое программное исключение (PPGE)
- 4 Маскируемое программное исключение (MPRGE)
- 5 Прерывание от системного таймера (SWT)
- 6 Программное прерывание (SWI)
- 7 Маскируемое прерывание от UART0
- 8 Маскируемое прерывание от UART1
- 9 Маскируемое прерывание от UART2
- 10 Маскируемое прерывание от UART3
- 11 Маскируемое прерывание от I2C0
- 12 Маскируемое прерывание от I2C1
- 13 Маскируемое прерывание от SPI0
- 14 Маскируемое прерывание от SPI1
- 15 Маскируемое прерывание от SPI2
- 16 Маскируемое прерывание от I2S0
- 17 Маскируемое прерывание от GPTIM0
- 18 Маскируемое прерывание от GPTIM1
- 19 Маскируемое прерывание от GPTIM2
- 20 Маскируемое прерывание от GPTIM3
- 21 Маскируемое прерывание от GPTIM4
- 22 Маскируемое прерывание от GPTIM5
- 23 Маскируемое прерывание от GPTIM6
- 24 Маскируемое прерывание от PWM0
- 25 Маскируемое прерывание от RTC
- 26 Маскируемое прерывание от GPIOA
- 27 Маскируемое прерывание от GPIOB
- 28 Маскируемое прерывание от GPIOC
- 29 Маскируемое прерывание от GPIOD
- 30 Маскируемое прерывание от ETHERNET0
- 31 Маскируемое прерывание от USB0

MSKR

Номер бита
Операции
Начальное состояние
Описание

Регистр маски прерываний MSKR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
0																0															
Зарезервировано																Маскируемые прерывания															

Назначение разрядов регистра:

0-27 Маска для 4-31 битов регистра INTR

0 – запрет обработки запроса прерывания

1 – разрешение обработки прерывания

27-31 Зарезервировано

ER
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр ошибок ER																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC	RC
0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Зарезервировано																I13	I12	I11	I10	A13	A12	A11	A10	DZ3	DZ2	DZ1	DZ0	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

Назначение разрядов регистра:

Для всех разрядов регистра:

0 – отсутствие признака или события

1 – наличие признака или события

0-1 Ошибки с шиной

2 Зарезервировано

3 Зарезервировано

4 Ошибка "деление на ноль" в 0 ядре

5 Ошибка "деление на ноль" в 1 ядре

6 Ошибка "деление на ноль" во 2 ядре

7 Ошибка "деление на ноль" в 3 ядре

8 Ошибка "неверный адрес" в 0 ядре, сформирован не правильный адрес

9 Ошибка "неверный адрес" в 1 ядре

10 Ошибка "неверный адрес" во 2 ядре

11 Ошибка "неверный адрес" в 3 ядре

12 Ошибка "неверная инструкция" в 0 ядре, из ПП прочитана несуществующая инструкция

13 Ошибка "неверная инструкция" в 1 ядре

14 Ошибка "неверная инструкция" во 2 ядре

15 Ошибка "неверная инструкция" в 3 ядре

16-31 Зарезервировано

STVALR
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр периода счетчика STVALR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Rw																Rw															
0																0															
Зарезервировано																CNTVAL															

Назначение разрядов регистра:

0-15 Значение периода счетчика в периодах системной частоты после предделителя ситемного таймера (см. STCR).

16-31 Зарезервировано

IRETADDR
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр адреса возврата IRETADDR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																															
0																															
IRETADDR																															

Назначение разрядов регистра:

0-7 Адрес возврата, формируемый только при прерывании

8-31 Зарезервировано

STCR
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр управления счетчиком STCR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																Rw								R=0				Rw	Rw	Rw	
0																0								0				0	0	0	
Зарезервировано																PREDIV								Зарезервировано				ONTCMP	ENCONT	EN	

Назначение разрядов регистра:

0 Разрешение работы счетчика:

0 – запрещено

1 – разрешено

1 Разрешение циклической работы таймера (если запрещена циклическая работа, то таймер после одного периода выключится, бит 0 данного регистра будет установлен в "0"):

0 – запрещено

1 – разрешено

2 Признак завершения счета периода, заданного в STVAL (по данному признаку вырабатывается запрос на обработку прерывания от таймера):

0 – счетчик не отсчитал заданный период

1 – счетчик отсчитал период (в циклическом режиме работы признак обновляется после каждого периода, программист должен самостоятельно очищать данный признак)

3-7 Зарезервировано

8-15 Значение предделителя счетчика. Системная частота делится на значение, заданное в данных битах. Поделенная частота является тактовой для счетчика таймера.

16-31 Зарезервировано

ИHOOKADDR

Номер бита
Операции
Начальное состояние
Описание

Регистр адреса первичного обработчика прерываний ИHOOKADDR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0																															
ИHOOKADDR																															

Назначение разрядов регистра:

0-7 Значение адреса первичного обработчика прерываний
8-31 Зарезервировано

INTNUMR

Номер бита
Операции
Начальное состояние
Описание

Регистр номера выработанного прерывания INTNUMR																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																R															
0																0															
Зарезервировано																INT_NUM															

Назначение разрядов регистра:

0-5 Номер самого приоритетного разрешенного прерывания на данный момент
6-31 Зарезервировано

MODR

Номер бита
Операции
Начальное состояние
Описание

Регистр модификации индексных регистров MODR																																																						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																							
R=0																								RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		
0																								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Зарезервировано																																																						

Назначение разрядов регистра:

0 Разрешение модификации индексного регистра номер 0:
0 – запрещено
1 – разрешено

1 Разрешение модификации индексного регистра номер 1:
0 – запрещено
1 – разрешено

2 Разрешение модификации индексного регистра номер 2:
0 – запрещено
1 – разрешено

3 Разрешение модификации индексного регистра номер 3:
0 – запрещено
1 – разрешено

4 Разрешение модификации индексного регистра номер 4:
0 – запрещено
1 – разрешено

5 Разрешение модификации индексного регистра номер 5:
0 – запрещено
1 – разрешено

6 Разрешение модификации индексного регистра номер 6:
0 – запрещено
1 – разрешено

7 Разрешение модификации индексного регистра номер 7:
0 – запрещено
1 – разрешено

8-31 Зарезервировано

2.3.3.2. Память программ

Память программ представляет собой независимые блоки СОЗУ (PM0 – PM3), число которых равняется числу ПБ. Соответственно, каждый ПБ имеет свою собственную ПП. Указанные блоки памяти не связаны между собой и функционируют независимо.

Для пользователя ПП работает только в режиме чтения и используется только для хранения программного алгоритма. Для констант используется выделенная для этого область в ПД.

Все блоки ПП имеет организацию — 4Кх64 (32кБ), адресация происходит к 64-х разрядному двойному слову.

ПП0	ПП1	ПП2	ПП3
0x0000	0x0000	0x0000	0x0000
0x0001	0x0001	0x0001	0x0001
...
0xffff	0xffff	0xffff	0xffff

Рис. 4 - Структура ПП

2.3.3.3. Память данных и шина периферийных устройств

ПД и шина периферийных устройств находятся в одном адресном пространстве.

Блок 8	0xFFFF F000	0xFFFF FFFF		Зарезервировано	
АМБА АНВ, периферия ввода-вывода	0xFFFF 5100	0xFFFF EFFF		Зарезервировано	
	0xFFFF 5000	0xFFFF 50FF	256	Ethernet0	
	0xFFFF 4100	0xFFFF 4FFF		Зарезервировано	
	0xFFFF 4000	0xFFFF 40FF	256	USB0	
	0xFFFF 0000	0xFFFF 3FFF		Зарезервировано	
	0xE021 F400	0xFFEF FFFF		Зарезервировано	
	0xE020 0000	0xE021 F3FF		ПДП канал к ПД (128 КБ)	
	0xE000 0000	0xE01F FFFF		Зарезервировано	
Блок 7	0xC020 0000	0xDFFF FFFF		Зарезервировано	
АМБА АРВ1	0xC01F F000	0xC01F FFFF		Зарезервировано	
	0xC01F 0400	0xC01F EFFF		Зарезервировано	
	0xC01F 0300	0xC01F 03FF	256	GPIOD	
	0xC01F 0200	0xC01F 02FF	256	GPIOC	
	0xC01F 0100	0xC01F 01FF	256	GPIOB	
	0xC01F 0000	0xC01F 00FF	256	GPIOA	
		0xC011 4F00	0xC01E FFFF		Зарезервировано
		0xC011 0300	0xC011 03FF	256	Timer6
		0xC011 0200	0xC011 02FF	256	Timer5
		0xC011 0100	0xC011 01FF	256	Timer4
		0xC011 0000	0xC011 00FF	256	Timer3
		0xC010 2300	0xC010 FFFF	256	Зарезервировано
		0xC010 2200	0xC010 22FF	256	SPI2
		0xC010 2100	0xC010 21FF	256	SPI1
		0xC010 2000	0xC010 20FF	256	SPI0
		0xC010 0300	0xC010 1FFF		Зарезервировано
		0xC010 0200	0xC010 02FF	256	UART3
		0xC010 0100	0xC010 01FF	256	UART2
		0xC010 0000	0xC010 00FF	256	Зарезервировано
	АМБА АРВ0	0xC00F F000	0xC00F FFFF		Зарезервировано
		0xC00E 0100	0xC00E FFFF		Зарезервировано
		0xC00E 0000	0xC00E 00FF	256	WDT
		0xC001 F100	0xC001 FFFF		Зарезервировано
		0xC001 F000	0xC001 F0FF	256	RTC
0xC001 0300		0xC001 EFFF		Зарезервировано	
0xC001 0200		0xC001 02FF	256	Timer2	
0xC001 0100		0xC001 01FF	256	Timer1	
0xC001 0000		0xC001 00FF	256	Timer0	
		0xC000 5100	0xC000 FFFF		Зарезервировано
		0xC000 5000	0xC000 50FF	256	Ethernet0 (регистры управления)
		0xC000 2100	0xC000 4FFF		Зарезервировано
		0xC010 2000	0xC010 20FF	256	I2S0
		0xC000 1200	0xC010 1FFF		
		0xC000 1100	0xC000 11FF	256	I2C1
		0xC000 1000	0xC000 00FF	256	I2C0
		0xC000 0300	0xC000 0FFF		Зарезервировано
		0xC000 0200	0xC000 02FF	256	UART1
		0xC000 0100	0xC000 01FF	256	UART0
		0xC000 0000	0xC000 00FF		Зарезервировано
Блок 6			0xBFFF FFFF		Зарезервировано
Блок 5		0xA000 0000	0x9FFF FFFF		Зарезервировано
Блок 4			0x7FFF FFFF		Зарезервировано
Блок 3			0x5FFF FFFF		Зарезервировано
Блок 2	0x4000 0000	0x3FFF FFFF		Зарезервировано	
Блок 1	0x2000 0000	0x1FFF FFFF		Зарезервировано	
ПД	0x0002 0000	0x0001 FFFF	128k	Пользовательская ПД	
	0x0000 0000				

Рис. 5 - Адресное пространство периферийных устройств и ПД

Память данных:

ПД представляет собой СОЗУ, имеет организацию — 4x4Kx64 (128кБ), адресация происходит побайтно. Особенностью организации ПД является то, что ячейки со смежными адресами находятся в разных блоках ПД. Для сокращения времени доступа к памяти рекомендуется данные выравнивать на 8 байт.

Для данного МП нет понятия констант, хранящихся в ПЗУ, вместо них используются инициализируемые переменные, которые при старте МП помещаются в выделенную область ПД. Аппаратной защиты от записи во время исполнения программных алгоритмов пользователя на данный момент нет.

Адрес (базовый)	смещение адреса							
	64бита							
	байт 0	байт 1	байт 2	байт 3	байт 4	байт 5	байт 6	байт 7
0x00000	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007
0x00020	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007
...
0x1FFE0	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007

Рис. 6 - Структура блока ПД

Адрес (базовый)	смещение адреса							
	64бита							
	байт 0	байт 1	байт 2	байт 3	байт 4	байт 5	байт 6	байт 7
0x00000	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007
0x00020	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007
...
0x1FFE0	0x00000	0x00001	0x00002	0x00003	0x00004	0x00005	0x00006	0x00007

Рис. 7 - Структура блока ПД на примере ПД0

2.3.3.4. Процесс инициализации МП

В виду своих архитектурных особенностей, процесс инициализации МП так же имеет некоторые особенности.

Как упоминалось ранее, ПП и ПД – это СОЗУ. В связи с этим для хранения программного алгоритма и инициализируемых переменных (констант) применяется ПЗУ (FLASH).

Процесс загрузки представляет собой следующее:

- После снятия внешнего сигнала сброса, начинает работать загрузчик программ, который переписывает данные из ПЗУ в ПП и ПД. В ПП переписывается программный алгоритм, в ПД записываются инициализируемые переменные (размер области инициализируемых переменных зависит от модели МП, на данный момент инициализируется вся ПД).
- После завершения процесса загрузки памяти снимается внутренний сигнал сброса и МП начинает функционировать в рабочем режиме.

В данном варианте МП применяется внешняя последовательная память. Объем считываемой информации – 256 кБ, т.е. $8 \cdot 256 = 2\,048$ Бит. Максимальная скорость обмена данными с внешним ПЗУ – 30 Мбит/с. Из этого:

$T = 2/30 \sim 67$ мс, - время выхода МП на рабочий режим после снятия внешнего сигнала сброса.

2.3.4. Системный сброс и система тактирования

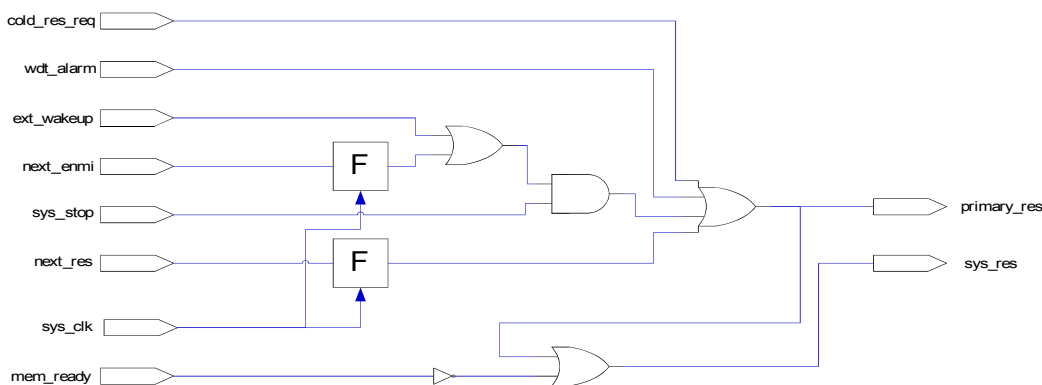


Рис. 8 - Схема управления системным сбросом

Система тактирования использует в качестве опорного сигнал внешнего кварцевого генератора. На данный момент ядро и периферийные устройства МП тактируются одной частотой от одного источника. Возможность управлять частотами отсутствует.

Управление сигналом системного сброса

Внешний сигнал сброса:

- после снятия сигнала «nreset» снимается сигнал «primary_res» и начинает работу загрузчик памяти;
- после завершения загрузки памяти выставляется сигнал «mem_ready», по наличию которого, снимается сигнал «sys_res», ядро начинает выбирать команды из памяти, начиная с адреса 0.

Сигнал «Стоп»:

- если ядро МП выполнит команду «Стоп», то активизируется сигнал «sys_stop», по которому будет активизирован сигнал «primary_res»;
- для выхода из режима «Стоп», необходимо возникновение события: «nenmi», «ext_wakeup» или любого запроса прерывания;
- альтернативный способ выхода из режима «Стоп» — подача внешнего сигнала сброса «nreset».

Запрос сброса:

- ядро системы может запросить выполнить сброс системы. Выставление сигнала запроса является результатом работы программного алгоритма (записана единица в бит 5 регистра PSW);
- после возникновения сигнала «cold_res_req» выставится сигнал «primary_res», будут выполнены такие же действия, как при снятии сигнала «nreset».

2.3.5. Контроллер прерываний

Система прерываний МП допускает обработку 32 прерываний. Источник с номером «0» имеет наивысший приоритет при обработке прерываний.

0	Немаскируемое внутреннее прерывание (INMI)
1	Немаскируемое внешнее прерывание (ENMI)
2	Немаскируемое исключение в аппаратной части (PERE)
3	Немаскируемое программное исключение (PPGE)
4	Маскируемое программное исключение (MPRGE)
5	Прерывание от системного таймера (SWT)
6	Программное прерывание (SWI)
7	Маскируемое прерывание от UART0
8	Маскируемое прерывание от UART1
9	Маскируемое прерывание от UART2
10	Маскируемое прерывание от UART3
11	Маскируемое прерывание от I2C0
12	Маскируемое прерывание от I2C1
13	Маскируемое прерывание от SPI0
14	Маскируемое прерывание от SPI1
15	Маскируемое прерывание от SPI2
16	Маскируемое прерывание от I2S0
17	Маскируемое прерывание от GPTIM0
18	Маскируемое прерывание от GPTIM1
19	Маскируемое прерывание от GPTIM2
20	Маскируемое прерывание от GPTIM3
21	Маскируемое прерывание от GPTIM4
22	Маскируемое прерывание от GPTIM5
23	Маскируемое прерывание от GPTIM6
24	Маскируемое прерывание от PWM0
25	Маскируемое прерывание от RTC
26	Маскируемое прерывание от GPIOA
27	Маскируемое прерывание от GPIOB
28	Маскируемое прерывание от GPIOC
29	Маскируемое прерывание от GPIOD
30	Маскируемое прерывание от ETHERNET0
31	Маскируемое прерывание от USB0

Рис. 9 - Список прерываний

Немаскируемые прерывания:

В контроллере предусмотрено 4 немаскируемых прерывания с номерами 0-3. Немаскируемые прерывания приводят к немедленному переходу на программу обработки прерываний. Их нельзя запретить, они разрешены сразу после начала работы ядра.

Маскируемые прерывания:

Прерывания с номерами 4-31 являются маскируемыми, они глобально разрешаются битом ONIRQS в регистре PSW. Индивидуальное разрешение задается регистром MSKR.

Устройство:

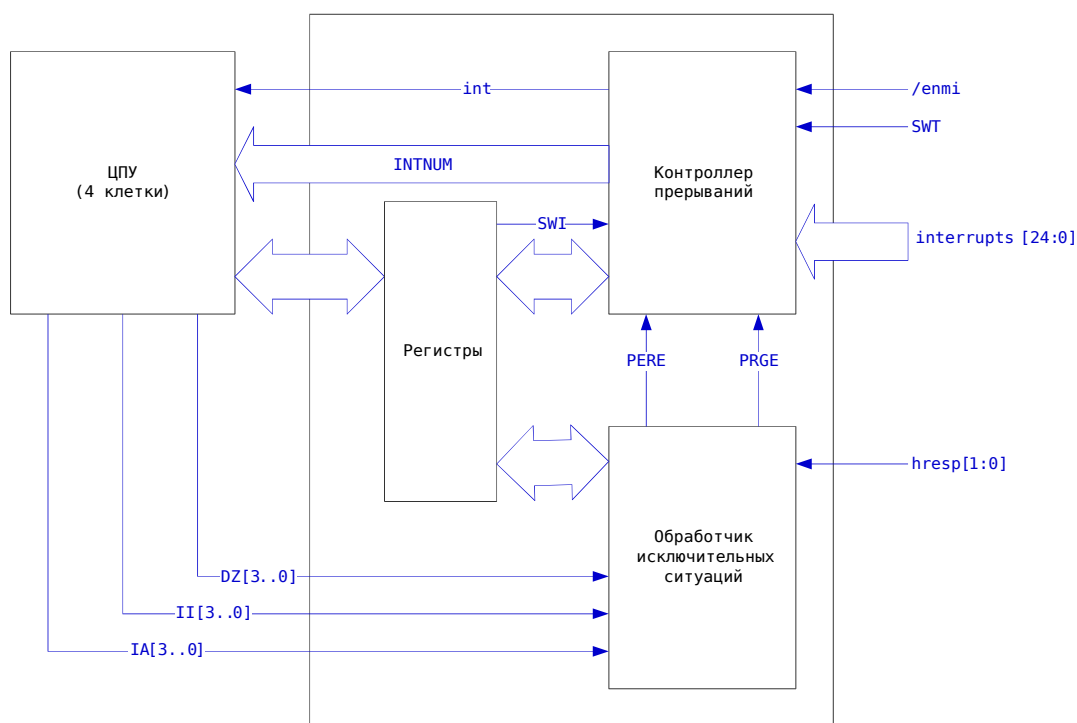


Рис. 10 - Схема соединений процессорного ядра и контроллера прерываний

Контроллер прерываний состоит из 2 функциональных модулей:

- контроллер прерываний - определяет самое приоритетное прерывание на каждом такте и формирует его номер на шине INTNUM;
- обработчик исключительных ситуаций - обрабатывает информацию об аппаратных и программных сбоях, передает сигнал об их возникновении в контроллер прерываний, что приводит к формированию запроса прерывания.
- Из ЦПУ на контроллер прерываний приходят 3 группы сигналов об ошибках в ходе выполнения программы, по которым в обработчике исключений формируется сигнал PRGE:
 - DZ – попытка выполнения деления на ноль;

- П – выбрана несуществующая инструкция;
- IA – сформирован несуществующий адрес.

Так же ЦПУ формирует сигнал SWI – программно-формируемое прерывание. С шины периферийных устройств на обработчик исключений поступают сигналы hresp, состояние линий которых говорит об ошибках или их отсутствии при обращении по шине. При наличии ошибки формируется сигнал PERE.

Также с шины периферийных устройств приходят сигналы (interrupts[24:0]) запроса прерывания от каждого периферийного устройства.

С системного таймера поступает сигнал SWT, а с ввода МП приходит сигнал/enmi – внешнее немаскируемое прерывание.

Регистры контроллера прерываний:

Для работы системы прерывания и функционирования программ обработки прерываний имеются следующие регистры:

INTR	Регистр прерываний
MSKR	Регистр маски прерываний
ER	Регистр ошибок
IRETADDR	Регистр адреса возврата
IHOOKADDR	Регистр адреса первичного обработчика прерываний
INTNUMR	Номер выработанного прерывания

Регистры INTR, MSKR, ER, INTNUM — относятся к управлению контроллером прерываний. Регистры IRETADDR, IHOOKADDR — используются программным алгоритмом.

В памяти МП не выделено какой-либо фиксированной зоны для размещения обработчика прерываний. Программист может разместить обработчики прерываний в любом месте адресного пространства ПП. При возникновении прерывания ядро перейдет по адресу, записанному в регистре, IHOOKADDR. По данному адресу программист может расположить первичный обработчик прерываний, который может осуществить диспетчеризацию и перенаправить программу на необходимый адрес, где располагается обработчик для конкретного прерывания. Адрес возврата автоматически запоминается в регистре IRETADDR, программист имеет к нему полный доступ.

Порядок обработки прерываний:

При возникновении прерывания, контроллер прерываний определяет самое приоритетное прерывание и формирует сигнал `int`. Вся программа разбита на «параграфы» - группы команд, аналогом которых можно считать линейные участки. На время выполнения «параграфа» все прерывания запрещены, кроме немаскируемых, которые могут прервать работу процессорного ядра в любое время.

После завершения «параграфа» возможен переход на адрес первичного обработчика прерываний, если был запрос прерывания, прерывание не маскировано и нет глобального запрета прерываний (бит `ONIRQS` в регистре `PSW`). В регистр `IRETADDR` автоматически записывается адрес следующего «параграфа» и устанавливается глобальный запрет прерываний. Ядро переходит на выполнение алгоритма, размещенного по адресу, записанному в `IHOOKADDR`. После завершения работы обработчиков прерываний программный алгоритм должен осуществить выход из прерывания, адрес возврата записан в `IRETADDR`. Глобальное разрешение прерываний программа должна выставить сама.

2.3.6. Системный таймер

Системный таймер предназначен для формирования заданных периодических или однократных временных интервалов.

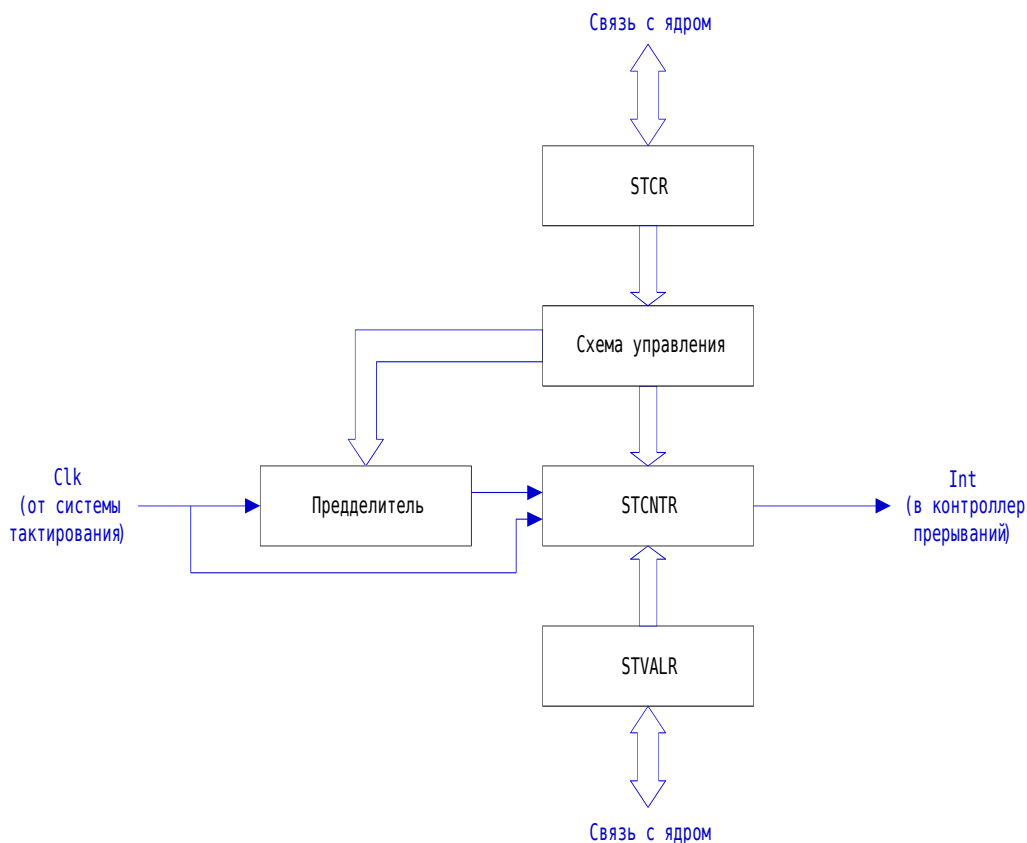


Рис. 11 - Блок-схема системного таймера

Таймер представляет собой декрементирующий счетчик с делителем тактового сигнала на входе. Начальное значения счетчика записывается в регистр STVALR, управление осуществляется через регистр STCR. По истечении заданного временного интервала формируется запрос на обработку прерывания. На Рис. 11 изображена блок-схема таймера.

Ниже приведены формулы для расчета частоты и периода интервалов, формируемых системным таймером. Значения PREDIV и CNTVAL задаются в регистрах STVALR и STCR соответственно:

$$T = T_{clk} \cdot PREDIV \cdot CNTVAL - \text{период формируемого интервала}$$



$$F = \frac{F_{clk}}{PREDIV \cdot CNTVAL} - \text{частота следования временных интервалов}$$

Внимание! При значениях $PREDIV = [0,1]$ тактовый сигнал передается на счетчик в обход делителя. Следовательно, в формуле вместо $PREDIV$ надо подставлять 1.

Режимы работы таймера:

- однократное формирование временного интервала. Таймер запускается пользователем (в бит EN регистра $STCR$ записывается «1»), а по достижении счетчиком таймера значения «0», таймером выдается запрос на обработку прерывания, после этого в бит EN регистра $STCR$ записывается «0» и таймер останавливается до следующей записи значения «1» в бит EN регистра $STRCR$;
- периодическая генерация временных интервалов. Таймер запускается и останавливается пользователем (в бит EN регистра $STCR$ записывается соответствующее значение). По достижении счетчиком таймера значения «0», таймером выдается запрос обработки прерывания, счетчик перезагружается значением заданным пользователем в регистре $STVALR$ и работа таймера продолжается до того, как пользователь запишет значение «0» в бит EN регистра $STRCR$.

Особенности работы:

При записи в регистр $STVALR$ новое значение будет передано в счетчик при его очередной перезагрузке, когда он достигнет значения «0».

Если во время работы изменится регистр $STCR$, то таймер немедленно остановится и запустится с новыми параметрами.

Настоятельно рекомендуется перед изменением режима работы таймера сначала остановить его, записав в бит EN регистра $STCR$ «0», потом задать новые значения в регистре $STCR$.

Запрещается менять во время работы таймера значение регистра $STVALR$ на 0 и после этого изменять $STCR$. Это может привести к возникновению запроса обработки прерывания.

2.4. Периферийные устройства

В данном разделе кратко описаны периферийные устройства.

2.4.1. Универсальный асинхронный приёмопередатчик (UART0..UART3)

- полнодуплексный режим связи;
- независимые FIFO буферы приемника и передатчика по 32 байта;
- устанавливаемый пользователем тип проверки чётности.

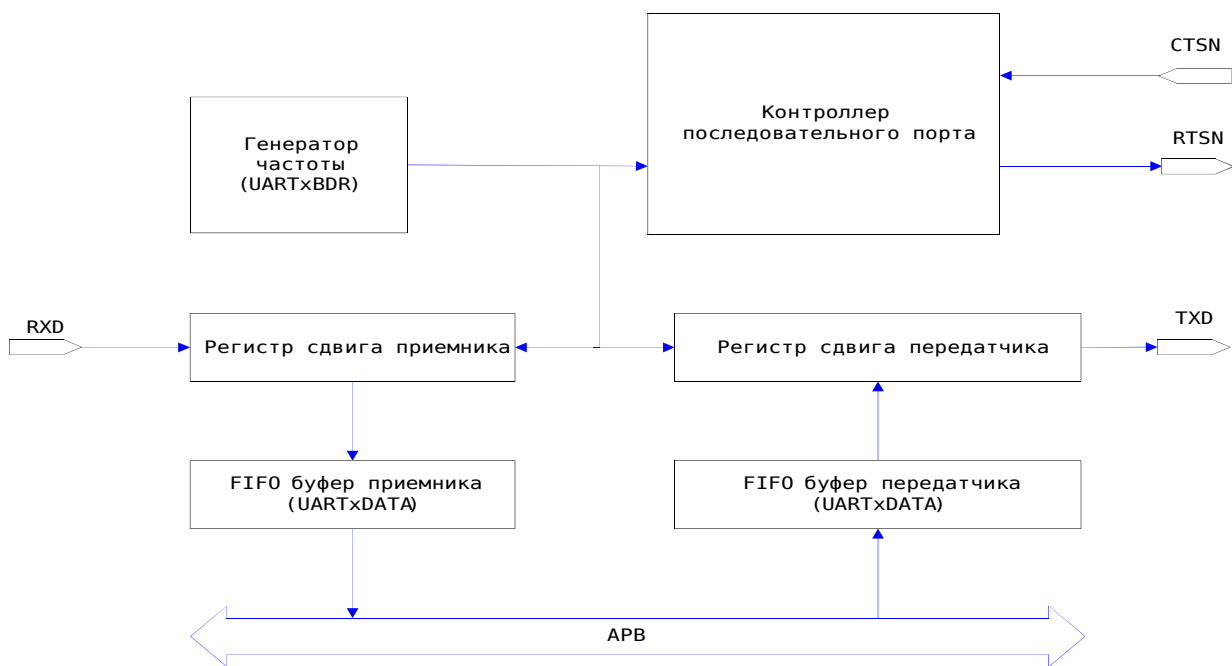


Рис. 12 - Блок-схема UARTx

Регистр	Смещение адреса*	Доступ	Описание
UARTxDATA	00h	W	Регистр данных (FIFO)
UARTxST	04h	R	Регистр состояния
UARTxCR	08h	RW	Регистр управления
UARTxBDR	0Ch	RW	Регистр коэффициента делителя тактовой частоты

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

UARTxDATA
 Номер бита
 Доступ
 Описание

Регистр передаваемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
Зарезервировано																DATA															

Назначение разрядов регистра:

- 0-7 При записи – вход FIFO передатчика 32 байта. Записываются данные для передачи.
 При чтении – выход FIFO приемника 32 байта. Считываются принятые данные
- 8-31 Зарезервировано

UARTxST
 Номер бита
 Доступ
 Описание

Регистр состояния																																								
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
R=0								R=0								R=0								R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
RCNT								TCNT								Зарезервировано								RF	TF	RH	TH	FE	PE	OV	BR	TE	TS	DR						

Назначение разрядов регистра:

Для всех разрядов регистра:

- 0 – отсутствие признака или события
- 1 – наличие признака или события

- 0 новые символ зафиксированы в регистре приемника
- 1 сдвиговый регистр передатчика пуст
- 2 FIFO передатчика пуст
- 3 специальный символ завершения обмена получен (BREAK)
- 4 один или более символов принятых данных потеряны из-за переполнения
- 5 ошибка контроля четности принятых данных
- 6 ошибка формата принятых данных
- 7 FIFO передатчика заполнен наполовину и более
- 8 FIFO приемника заполнен наполовину и более
- 9 FIFO передатчика заполнен
- 10 FIFO приемника заполнен
- 11-19 зарезервировано
- 20-25 счетчик данных FIFO передатчика
- 26-31 счетчик данных FIFO приемника

UARTxCR
 Номер бита
 Доступ
 Описание

Регистр управления UART																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																RW	RW	RW	R	RW	RW	R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	
Зарезервировано																SI	DI	BI		RF	TF		LB	FL	PE	PS	TI	RI	TE	RE																

Назначение разрядов регистра:

- 0 разрешение работы приемника (0 – запрещена, 1 – разрешена)
- 1 разрешение работы передатчика (0 – запрещена, 1 – разрешена)
- 2 разрешение прерывания приемника по принятию символа (0 – запрещено, 1 – разрешено)
- 3 разрешение прерывания передатчика по окончании передачи символа (0 – запрещено, 1 – разрешено)
- 4 выбор типа контроля четности (0 – на четность, 1 – на нечетность)
- 5 разрешение контроля четности (0 – запрещен, 1 – разрешен)
- 6 разрешение управления потоком данных (CTS/RTS) (0 – запрещен, 1 – разрешен)
- 7 включение внутренней обратной петли для самотестирования (0 – отключена, 1 – включена)
- 8 зарезервировано
- 9 разрешение прерывания по FIFO передатчика (0 – запрещено, 1 – разрешено)
- 10 разрешение прерывания по FIFO приемника (0 – запрещено, 1 – разрешено)
- 11 зарезервировано
- 12 разрешение прерывания по приему символа BREAK (0 – запрещено, 1 – разрешено)
- 13 задержанное прерывание приемника (4 символа + 4 бита и нет нового символа) (0 – запрещено, 1 – разрешено)
- 14 разрешение прерывания по пустому регистру сдвига передатчика (0 – запрещено, 1 – разрешено)
- 15-30 зарезервировано
- 31 разрешение использования FIFO приемника и передатчика (0 – запрещено, 1 – разрешено)

UARTxBDR
 Номер бита
 Доступ
 Описание

Регистр коэффициента делителя тактовой частоты																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
Зарезервировано																BRDIV															

Назначение разрядов регистра:

- 0-11 Коэффициент деления системной частоты для формирования требуемой скорости обмена данными
 $BRDIV = F_{sys}/BR*8$, где F_{sys} в Гц, а BR в бит/с
- 12-31 Зарезервировано

2.4.2. Последовательный интерфейс I2C

2.4.2.1. I2C master (I2C0)

- работает в режиме «ведущий»;
- поддерживает 7 и 10-ти битную адресацию;
- поддерживаются стандартный (100kb/s) и скоростной (400kb/s) режимы;
- устанавливаемые пользователем величины длительности тактового импульса в состоянии «0» и «1», а также длительности периода предустановки данных;
- устанавливаемое пользователем число адресных байт при обращении к ведомому устройству на шине I2C.

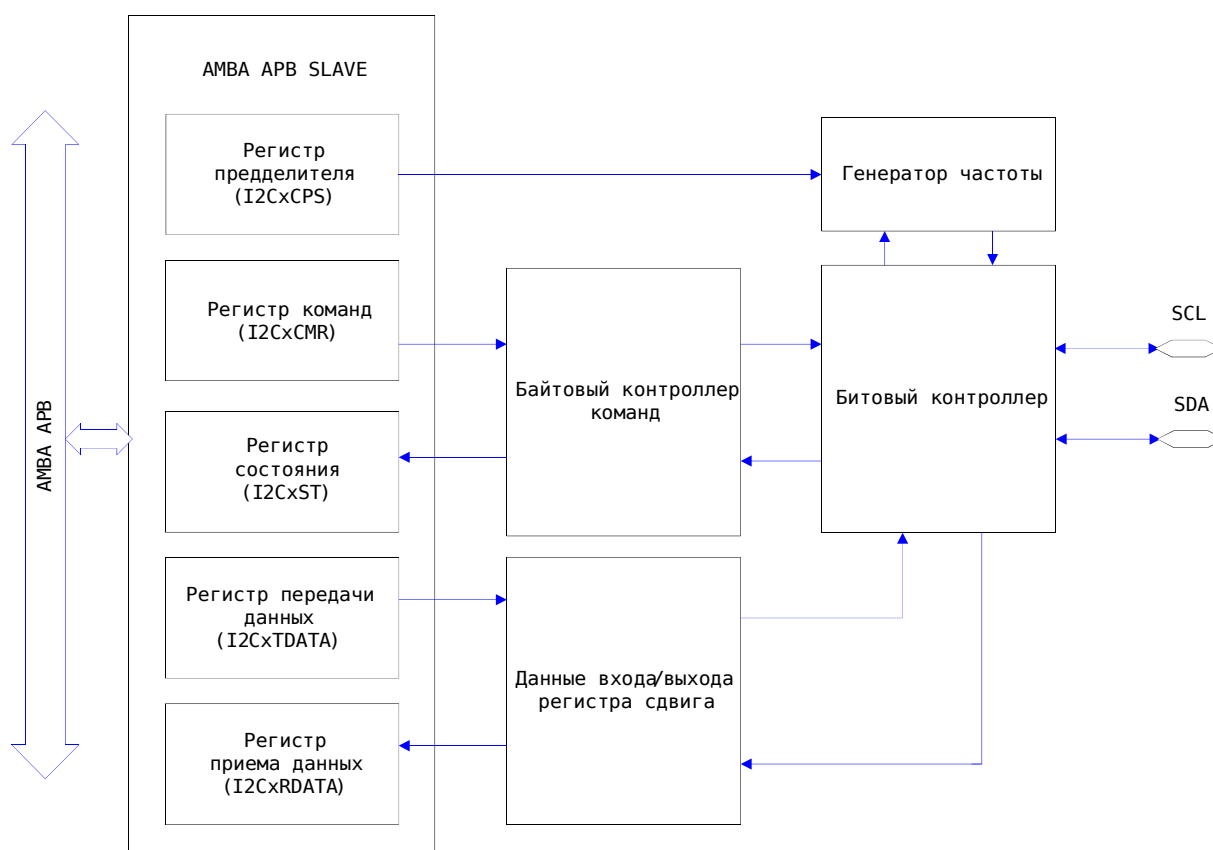


Рис. 13 - Блок-схема I2C0

Регистр	Смещение адреса*	Доступ	Описание
I2CxPSC	00h	RW	Регистр предделителя тактовой частоты
I2CxCR	04h	RW	Регистр управления
I2CxTX	08h	W	Регистр передаваемых данных
I2CxRX	08h	R	Регистр принимаемых данных
I2xCMD	0Ch	W	Регистр команд
I2CxST	0Ch	R	Регистр состояния

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

X – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

I2CxPSC

Номер бита
Операции
Начальное состояние
Описание

Регистр предделителя																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																RW															
0																															
Зарезервировано																PSC															

Назначение разрядов регистра:

0-15 значение предделителя (рекомендуется выставлять не менее 3, для устойчивой работы)

$PSC = F_{sys} / (5 * F_{scl}) - 1$, где F_{sys} и F_{scl} в Гц.

16-31 зарезервировано

I2CxCR

Номер бита
Операции
Начальное состояние
Описание

Регистр управления																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																RW	RW	R													
0																															
Зарезервировано																EN	IEN	Reserved													

Назначение разрядов регистра:

0-5 зарезервировано

6 разрешение прерываний (0 – запрещено, 1 – разрешено)

7 разрешение работы I2Cx (0 – запрещено, 1 – разрешено)

8-31 зарезервировано

I2CxTX

Номер бита
Операции
Начальное состояние
Описание

Регистр передаваемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																W															
0																															
Зарезервировано																TDATA															
RW																															

Назначение разрядов регистра:

0 бита чтения/записи при передаче start последовательности, в остальных случаях – младший бит данных

1-7 Передаваемые данные, старшие 7 бит

8-31 Зарезервировано

I2CxRX

Номер бита
Операции
Начальное состояние
Описание

Регистр принимаемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																R															
0																0															
Зарезервировано																RDATA															

Назначение разрядов регистра:

0-7 Принимаемые данные
8-31 Зарезервировано

I2CxCMD

Номер бита
Операции
Начальное состояние
Описание

Регистр команд																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
R=0																W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
0																0																													
Зарезервировано																STA	STO	RD	WR	ACK	-	IACK																							

Назначение разрядов регистра:

0 сброс IF флага в регистре I2CxST (1 – сбросить)
2-1 Зарезервировано
3 подтверждение получения данных (0 – ACK, 1 – NACK)
4 запись в ведомое устройство (1 – записать)
5 чтение из ведомого устройства (1 – читать)
6 сформировать последовательность STOP (1 – сформировать)
7 сформировать последовательность START (RESTART) (1 – сформировать)
8-31 Зарезервировано

I2CxST

Номер бита
Операции
Начальное состояние
Описание

Регистр состояния																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
R=0																R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
0																0																													
Зарезервировано																RxACK	BUSY	AL	-	TIP	IF																								

Назначение разрядов регистра:

Для всех разрядов регистра:
0 – отсутствие признака или события
1 – наличие признака или события

0 байт передан или потерян контроль над линией. Если IEN в I2CxCMD установлен то будут возникать запросы прерывания. Даже если бит не сброшен.
1 признак передачи данных, а так же формирования последовательности STOP
2-4 Зарезервировано
5 потеря контроля над шиной
6 шина занята (обнаружена последовательность START, сбрасывается при обнаружении STOP)
7 принят ACK
8-31 Зарезервировано

2.4.2.2. I2C slave (I2C1)

- работает в режиме «ведомый»;
- поддерживает 7 и 10-ти битную адресацию с дополнительным программно задаваемым адресом;
- полностью поддерживаются стандартный (100kb/s) и скоростной (400kb/s) режимы.

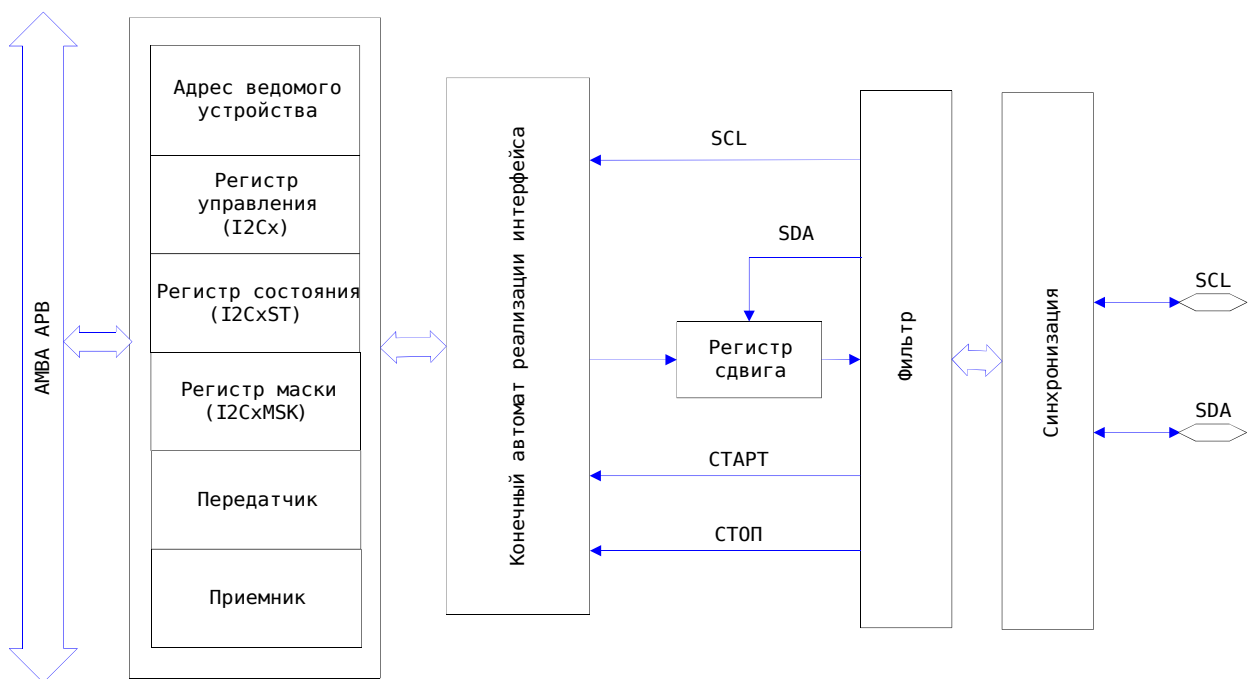


Рис. 14 - Блок-схема I2C1

Регистр	Смещение адреса*	Доступ	Описание
I2CxADDR	00h	RW	Регистр адреса
I2CxCR	04h	RW	Регистр управления
I2CxST	08h	R**	Регистр состояния
I2CxMSK	0Ch	RW	Регистр маски
I2CxRX	10h	R	Регистр принимаемых данных
I2CXTX	14h	W	Регистр передаваемых данных

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

I2CxADDR

Номер бита
Операции
Начальное состояние
Описание

Регистр адреса																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																												RW			
0																												0			
Зарезервировано																												SLVADDR			

Назначение разрядов регистра:

0-6 адрес ведомого устройства
7-31 Зарезервировано

I2CxCR

Номер бита
Операции
Начальное состояние
Описание

Регистр управления																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																												RW			
0																												U U U U 0			
Зарезервировано																												RMOD TMOD TV TAV EN			

Назначение разрядов регистра:

- 0 разрешение работы I2Cx (0 – запрещено, 1 – разрешено)
- 1 передача данных всегда разрешена. I2C не очищает бит TV, если "1". (0 – запрещено, 1 – разрешено)
- 2 подтверждение готовности данных для передачи. I2C автоматически очищает бит после передачи байта. (0 – выполняет действия определенные TMOD, 1 – есть данные в регистре передачи)
- 3 режим передачи.
0 – ведомое устройство посылает один байт, если ведущий запрашивает больше одного байта. Ведомый отвечает NACK на все запросы передачи пока TV = "0".
1 – ведомое устройство передает байт и удерживает линию SCL в "0" пока программно не выставится бит TV в "1"
- 4 режим приема:
0 – ведомое устройство принимает один байт и передает NACK на все запросы, пока программно не будет считан регистр приема.
1 – ведомое устройство принимает один байт и удерживает линию SCL в "0" пока программно не будет считан регистр приема
- 5-31 Зарезервировано

I2CxST

Номер бита
Операции
Начальное состояние
Описание

Регистр статуса																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																												R RW R			
0																												0 0 0			
Зарезервировано																												REC TRA NAK			

Назначение разрядов регистра:

Для всех разрядов регистра:
0 – отсутствие признака или события
1 – наличие признака или события

- 0 I2C ведомый передал NACK (только при совпадении адреса)
- 1 байт данных передан, очищается записью "1"
- 2 принят байт данных, очищается автоматически при считывании регистра приема
- 3-31 Зарезервировано

I2CxMSK

Номер бита
Операции
Начальное состояние
Описание

Регистр маски																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																															
0																															
Зарезервировано																															
																										RECE	TRAE	MAKE			

Назначение разрядов регистра:

Для всех разрядов регистра:
 0 – запрет прерывания по событию
 1 – разрешение прерывания по событию
 0 I2C ведомый передал NACK
 1 байт данных передан
 2 принят байт данных
 3-31 Зарезервировано

I2CxRX

Номер бита
Операции
Начальное состояние
Описание

Регистр приема																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																R															
0																0															
Зарезервировано																RXBYTE															

Назначение разрядов регистра:

0-7 принятый байт
 8-31 Зарезервировано

I2CxTX

Номер бита
Операции
Начальное состояние
Описание

Регистр передачи																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																W															
0																0															
Зарезервировано																TXBYTE															

Назначение разрядов регистра:

0-7 байт для передачи
 8-31 Зарезервировано

2.4.3. Последовательный интерфейс SPI (SPIx)

- может работать в режимах "ведущий" или "ведомый";
- поддерживаются все режимы SPI, а также трехпроводной режим, в котором используется одна двунаправленная линия данных;
- настраиваемая длина посылки;
- селектор на 4 ведомых устройства;
- устанавливаемый пользователем формат кадра данных — LSB или MSB;
- устанавливаемые пользователем полярность CPOL (0 или 1) и фаза CPHA (0 или 1) тактового сигнала;
- устанавливаемая пользователем скорость обмена данными.

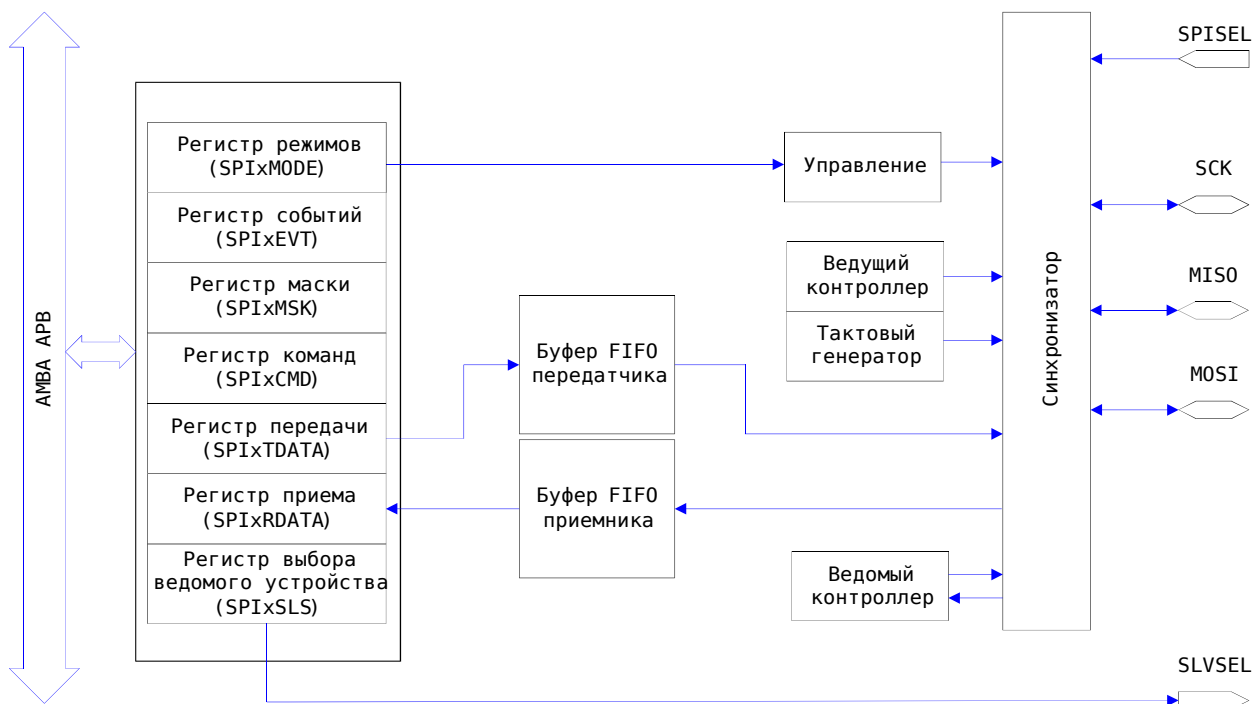


Рис. 15 - Блок-схема SPIx

Регистр	Смещение адреса*	Доступ	Описание
SPIxCFG	00h	RW	Регистр установок конфигурации
SPIxCR	20h	RW	Регистр управления
SPIxST	24h	RW	Регистр состояния
SPIxMSK	28h	RW	Регистр маски
SPIxCMD	2Ch	RW	Регистр команд
SPIxTX	30h	W	Регистр передаваемых данных
SPIxRX	34h	R	Регистр принимаемых данных
SPIxSS	38h	RW	Регистр выбора ведомого устройства

* - Для получения реального адреса регистра надо к начальному адресу SPI на шине прибавить смещение адреса регистра

** - Чтение регистра сбрасывает в 0 его биты

x – замещение номера для идентичных регистров, например есть несколько блоков SPI с номерами 0,1 и т.д. X – будет соответствовать номеру блока

SPIxCFG

Номер бита
Операции
Начальное состояние
Описание

Регистр конфигурации																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R								R				RW	R	RW	R								R								
0x3								0				0	0	0	0x20																
SSSZ								MAXWLEN				TWEN	-	SSEN	FDEPTH								Зарезервировано								

Назначение разрядов регистра:

- 0-7 Зарезервировано
- 8-15 Глубина FIFO Rx, Tx
- 16 разрешения сигналов выбора ведомого устройства (0 – запрещены, 1 – разрешены)
- 17-18 Зарезервировано
- 19 разрешение трехпроводного режима (0 – запрещен, 1 – разрешен)
- 20-23 максимальная поддерживаемая длина слова данных (0 – 32 бита)
- 24-31 число линий выборок ведомого устройства

SPIxCR

Номер бита
Операции
Начальное состояние
Описание

Регистр управления																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RW	RW	RW	RW	RW	RW	RW	RW				RW				RW	R	RW	R	RW				R				RW	R		
0	0	0	0	0	0	0	0	0				0				0	0	0	0	0				0				0	0		
-	LOOP	CPOL	CPHA	DIV16	REV	MS	EN	LEN				PM				TWEN	-	FACT	-	CG				-	TTO	-					

Назначение разрядов регистра:

- 0-2 Зарезервировано
- 3 порядок начала передачи при работа по трех-проводной линии. Только при включенном режиме в SPIxCFG (0 – ведущий передает первый, 1 – ведомый передает первый)
- 4-6 Зарезервировано
- 7-11 прекращение подачи сигнала SCK после передачи каждого слова данных на N периодов (только в режиме ведущего)
- 12 Зарезервировано
- 13 режим делителя частоты (1 – режим совместимости с интерфейсом SPI MPC83xx)
- 14 Зарезервировано
- 15 трехпроводной режим (0 – запрещен, 1 – разрешен)
- 16-19 режим делителя (только в режиме ведущего):
если DIV16 – 0: $F_{sck} = F_{sys} / (4 \cdot 2^{\text{FACT}} \cdot (PM - 1))$
если DIV16 – 1: $F_{sck} = F_{sys} / (16 \cdot (4 \cdot 2^{\text{FACT}}) \cdot (PM - 1))$
- 20-23 длина слова данных:
0x0 – длина слова 32 бита
0x1-0x2 – недопустимые значения
0x3-0xf – 4-16 бит соответственно
- 24 разрешение работы (0 – запрещена, 1 – разрешена)
- 25 выбор режима (0 – ведомый, 1 – ведущий)
- 26 направление передачи данных (0 – LSB, 1 – MSB)
- 27 разрешение делителя на 16 (только в режиме ведущего) (0 – запрещен, 1 – разрешен)
- 28 настройка фазы синхросигнала (0 – данные будут прочитаны при первом переходе состояния SCK, 1 – данные будут прочитаны на втором переходе SCK)
- 29 состояние SCK в режиме ожидания (0 – логический "0", 1 – логическая "1")
- 30 режим самотестирования (0 – запрещен, 1 – разрешен)
- 31 Зарезервировано

SPIxST
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр состояния																																							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
R	R																RW	R	RW	R	R	R	R	R															
0	0																0	0	0	0	0	0	0																
LT	Зарезервировано																LT	-	OV	UN	MNE	NEE	NFE	Зарезервировано															

Для всех разрядов регистра:

- 0 – отсутствие признака или события
- 1 – наличие признака или события

Назначение разрядов регистра:

- 0-7 Зарезервировано
- 8 буфер передатчика имеет свободное место
- 9 буфер приемника содержит данные
- 10 ошибка при работе в системе с несколькими ведущими (возникает, когда в режиме ведущего появляется сигнал SPISEL)
- 11 отсутствуют данные для передачи в буфере, при запросе ведущего (только в режиме ведомого)
- 12 буфер приемника заполнен, новые данные игнорируются (бит очищается записью в него "1")
- 13 Зарезервировано
- 14 последнее слово данных передано: буфер передатчика пуст или в SPIxCMD записан бит LST. (бит очищается записью в него "1")
- 15-30 Зарезервировано
- 31 передается слово данных

SPIxMSK
 Номер бита
 Описание

Регистр маски																																							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
R	R																R	R	R	R	R	R	R	R															
0	0																0	0	0	0	0	0	0	0															
LT	Зарезервировано																LTE	-	OVE	UNE	MNEE	NEE	NFE	Зарезервировано															

Назначение разрядов регистра:

Для всех разрядов регистра:

- 0 – прерывание запрещено
- 1 – прерывание разрешено
- 0-7 Зарезервировано
- 8 буфер передатчика имеет свободное место
- 9 буфер приемника содержит данные
- 10 ошибка при работе в системе с несколькими ведущими (возникает, когда в режиме ведущего появляется сигнал SPISEL)
- 11 отсутствуют данные для передачи в буфере, при запросе ведущего (только в режиме ведомого)
- 12 буфер приемника заполнен
- 13 Зарезервировано
- 14 последнее слово данных передано
- 15-30 Зарезервировано
- 31 осуществляется передача данных

SPIxCMD
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр команд																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R										RW	R																				
R										0	0																				
Зарезервировано										LT	Зарезервировано																				

Назначение разрядов регистра:

- 0-21 Зарезервировано
- 22 передать последнее слово данных. По окончании передачи слова данных выставится бит LT регистра SPIxST, при работе в трехпроводном режиме, бит выставится после окончания передачи всего пакета данных.
- 23-31 Зарезервировано

SPIxTX
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр передаваемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W																R															
0																0															
TDATA																TDATA															

Назначение разрядов регистра:

- 0-31 данные для передачи, ширина и порядок следования битов определяется в регистре SPIxCR. Запись в регистр возможна только при NF = "1" в регистре SPIxST

SPIxRX
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр принимаемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																R															
0																0															
RDATA																RDATA															

Назначение разрядов регистра:

- 0-31 принятые данные, ширина и порядок следования битов определяется в регистре SPIxCR. Данные действительны, если NE = "1" в регистре SPIxST.
 Для REV = "0" SPIxCR – MSB размещается в бите 15 (при ширине слова 4-16 бит).
 Для REV = "1" SPIxCR – LSB размещается в бите 16 (при ширине слова 4-16 бит).

SPIxSS
 Номер бита
 Операции
 Начальное состояние
 Описание

Регистр выбора ведомого устройства																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																RW															
0																0															
Зарезервировано																SLVSEL															

Назначение разрядов регистра:

- 0-2 номер подчиненного устройства, с которым необходимо произвести обмен данными
- 31-3 Зарезервировано

2.4.4. Сторожевой таймер (WDT)

- предназначен для формирования сигнала глобального сброса в случае отсутствия сигнала сброса, генерируемого ядром МП, в течение заданного времени/интервала.

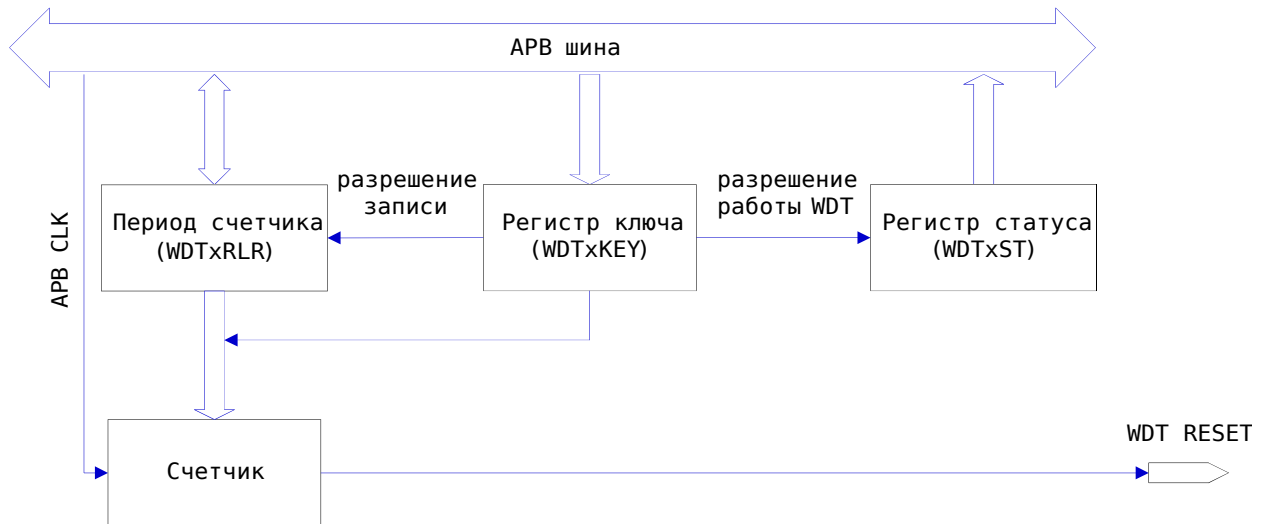


Рис. 16 - Блок-схема сторожевого таймера WDT

WDT			
Сторожевой таймер			
Регистр	Смещение адреса*	Доступ	Описание
WDTxCNT	00h	RW	Период счетчика
WDTxKEY	04h	W	Регистр переключения режимов
WDTxST	0Ch	R	Регистр состояния

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

WDTxCNT Номер бита Доступ Описание	Период счетчика																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RW																PRE															
Назначение разрядов регистра:																																
0-15 Значение периода счетчика (после снятия сигнала "сброс" устанавливается значение – 0xFFFF)																																
16-31 Зарезервировано																																

WDTxKEY Номер бита Операции Описание	Регистр переключения режимов WDTx																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																RW															
Зарезервировано																KEY_VAL																
Назначение разрядов регистра:																																
0-15 1. 0x5555 включить WDT 2. 0x3333 выключить WDT 3. 0xAAAA сброс WDT 4. 0xCCCC разрешения записи периода счетчика																																
16-31 Зарезервировано																																

WDTxST Номер бита Доступ Описание	Регистр состояния WDTx (чтение регистра очищает его)																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																															R
Зарезервировано																															EN	
Назначение разрядов регистра:																																
Для всех разрядов регистра: 0 – отсутствие признака или события 1 – наличие признака или события																																
0 WDT работает																																
1-31 Зарезервировано																																

2.4.5. Часы реального времени (RTC)

- календарь с секундами, минутами, часами, днем недели, месяцем и годом;
- два программируемых сигнализатора (будильника), срабатывающих при совпадении значений времени.

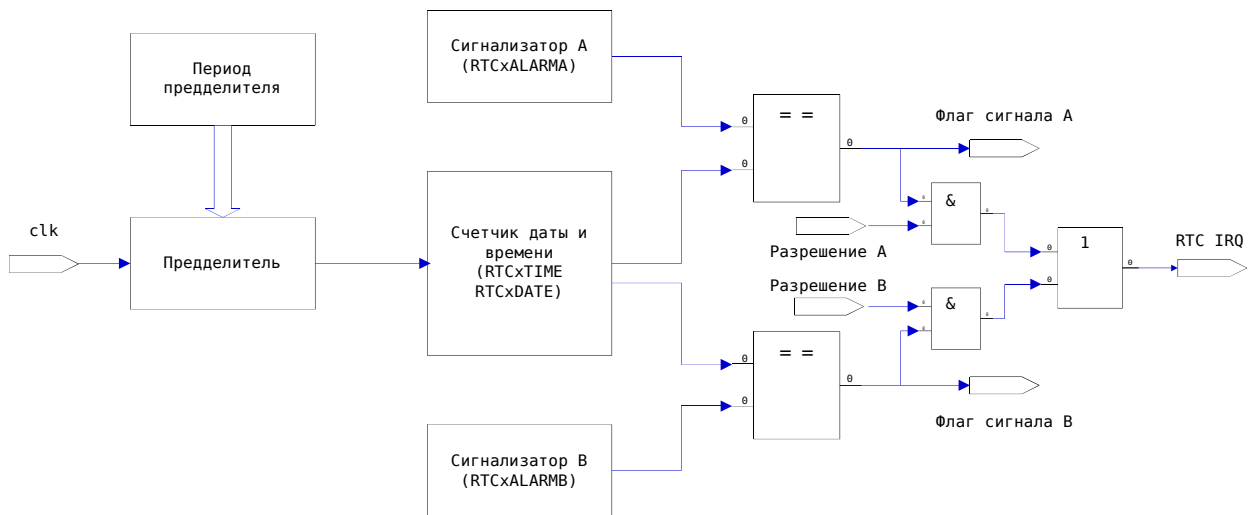


Рис. 17 - Блок-схема RTC

Регистр	Смещение адреса*	Доступ	Описание
RTCxTIME	00h	RW	Регистр времени
RTCxDATE	04h	RW	Регистр даты
RTCxCR	08h	RW	Регистр управления
RTCxPSC	0Ch	RW	Регистр периода предделителя
RTCxST	10h	R	Регистр состояния
RTCxALARMA	14h	RW	Регистр сигнализатора А
RTCxALARMB	18h	RW	Регистр сигнализатора В

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

RTCxTIME
Номер бита
Доступ
Описание

Регистр времени RTCx																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
R=0										RW		RW				R	RW				RW				R	RW				RW			
Зарезервировано										HOUR_H		HOUR_L				-	MIN_H				MIN_L				-	SEC_H				SEC_L			

Назначение разрядов регистра:

- 0-3 Значение разряда единиц в числе секунд (десятичная цифра, представленная в двоичном виде)
- 4-6 Значение разряда десятков в числе секунд
- 7 Зарезервировано
- 8-11 Значение разряда единиц в числе минут
- 12-14 Значение разряда десятков в числе минут
- 15 Зарезервировано
- 16-19 Значение разряда единиц в числе часов
- 20-21 Значение разряда десятков в числе часов
- 22-31 Зарезервировано

Пример:

если необходимо задать, например, 12 секунд, то в биты 0-3 запишем 0010, а в биты 4-6 запишем 001

RTCxDATE
Номер бита
Доступ
Описание

Регистр даты RTCx																																				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
R=0										RW		RW				RW				RW	RW				R	RW				RW						
Зарезервировано										YEAR_H		YEAR_L				DOW				MONTH_H				MONTH_L				RESERVED	SEC_H				SEC_L			

Назначение разрядов регистра:

- 0-3 Значение разряда единиц в числе секунд
- 4-6 Значение разряда десятков в числе секунд
- 7 Зарезервировано
- 8-11 Значение разряда единиц в числе, обозначающем месяц
- 12 Значение разряда десятков в числе, обозначающем месяц
- 13-15 Значение дня недели
- 16-19 Значение разряда единиц в числе, обозначающем год
- 20-21 Значение разряда десятков в числе, обозначающем год
- 22-31 Зарезервировано

RTCxCR
Номер бита
Доступ
Описание

Регистр управления																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																										RW	RW	RW			
Зарезервировано																										EN	IRQ1EN	IRQ0EN			

Назначение разрядов регистра:

- 0 Разрешение прерывания сигнализатора А (0 – запрещено, 1 – разрешено)
- 1 Разрешение прерывания сигнализатора В (0 – запрещено, 1 – разрешено)
- 2 Разрешение работы таймера RTC (0 – запрещено, 1 – разрешено)
- 3-31 Зарезервировано

RTCxPSC
Номер бита
Операции
Описание

Регистр периода предделителя																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0										RW																					
Зарезервировано										PSC_PER																					

Назначение разрядов регистра:

- 0-14 Значение периода предделителя
- 16-31 Зарезервировано

RTCxST

Номер бита
Доступ
Описание

Регистр состояния																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																														R	R
Reserved																														IRQ_1	IRQ_0

Назначение разрядов регистра:

Для всех разрядов регистра:
 0 – отсутствие признака или события
 1 – наличие признака или события
 0 прерывания по сигнализатору А
 1 прерывания по сигнализатору В
 2-31 Зарезервировано

RTCxALARMA

Номер бита
Доступ
Описание

Регистр сигнализатора А																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R=0										RW	RW				R	RW				RW				R	RW				RW			
Зарезервировано										HOURL_H	HOURL_L				-	MIN_H				MIN_L				-	SEC_H				SEC_L			

Назначение разрядов регистра:

0-3 Значение разряда единиц в числе секунд (десятичная цифра, представленная в двоичном виде)
 4-6 Значение разряда десятков в числе секунд
 7 Зарезервировано
 8-11 Значение разряда единиц в числе минут
 12-14 Значение разряда десятков в числе минут
 15 Зарезервировано
 16-19 Значение разряда единиц в числе часов
 20-21 Значение разряда десятков в числе часов
 22-31 Зарезервировано

RTCxALARMB

Номер бита
Доступ
Описание

Регистр сигнализатора В																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R=0										RW	RW				R	RW				RW				R	RW				RW			
Зарезервировано										HOURL_H	HOURL_L				-	MIN_H				MIN_L				-	SEC_H				SEC_L			

Назначение разрядов регистра:

0-3 Значение разряда единиц в числе секунд (десятичная цифра, представленная в двоичном виде)
 4-6 Значение разряда десятков в числе секунд
 7 Зарезервировано
 8-11 Значение разряда единиц в числе минут
 12-14 Значение разряда десятков в числе минут
 15 Зарезервировано
 16-19 Значение разряда единиц в числе часов
 20-21 Значение разряда десятков в числе часов
 22-31 Зарезервировано

2.4.6. Контроллер ШИМ (PWM0)

- режим генерации одиночного импульса;
- возможность изменения периода счетчика во время его работы (при определенных условиях).

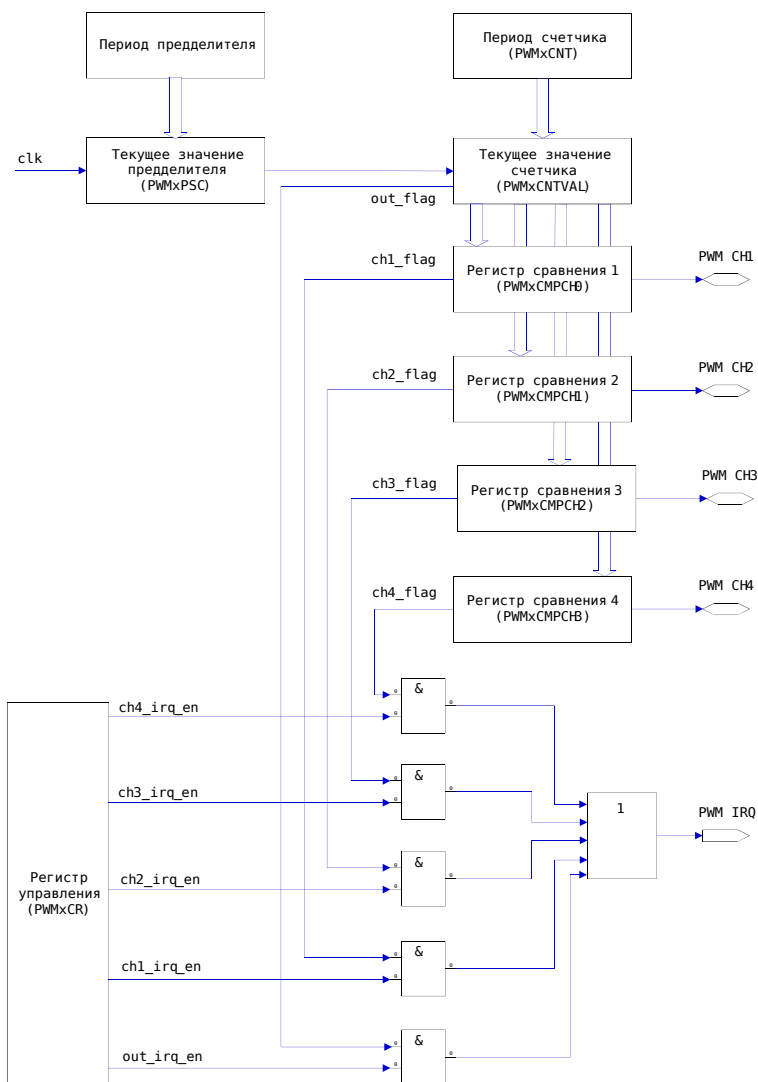


Рис. 18 - Блок-схема контроллера PWM0

Регистр	Смещение адреса*	Доступ	Описание
PWMxCR	00h	RW	Регистр управления
PWMxINT	01h	R**	Регистр прерываний
PWMxCNTVAL	02h	RW	Регистр текущего значения счетчика
PWMxPSC	03h	RW	Регистр значения предделителя
PWMxCNT	04h	RW	Регистр периода счетчика
PWMxCMPCHn	0x20 – 0x2Ch	RW	Регистр сравнения

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

Примечание: Регистры сравнения при n=[0;3] будут иметь следующие адреса смещения:

PWMxCMPCH0 – 0x20
 PWMxCMPCH1 – 0x24
 PWMxCMPCH2 – 0x28
 PWMxCMPCH3 – 0x2C

PWMxCR
 Номер бита
 Доступ
 Описание

Регистр управления																																			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
R=0								RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	R=0				RW	RW	RW	RW		
Зарезервировано								CH3_MODE	CH2_MODE	CH1_MODE	CH0_MODE	EN_CH3_IRQ	EN_CH2_IRQ	EN_CH1_IRQ	EN_CH0_IRQ	OUT_LVL_3	OUT_LVL_2	OUT_LVL_1	OUT_LVL_0	CH_EN3	CH_EN2	CH_EN1	CH_EN0									OVF_IRQ	CNT_MODE	AUTO_RELOAD	PULSE_MODE

Назначение разрядов регистра:

- 0 разрешение работы в однократном режиме (0 – запрещено, 1 – разрешено)
- 1 разрешение изменения периода счетчика во время его работы (0 – запрещено, 1 – разрешено)
- 2-3 Установка режима работы счетчика:
 10 – счетчик увеличивается до максимального значения, а потом уменьшается до нуля
 01 – декрементирующий
 00 – инкрементирующий
- 4 разрешение прерывания по переполнению счетчика (0 – запрещено, 1 – разрешено)
- 5-7 *Зарезервировано*
- 8 разрешение работы канала 0 (0 – запрещен, 1 – разрешен)
- 9 разрешение работы канала 1 (0 – запрещен, 1 – разрешен)
- 10 разрешение работы канала 2 (0 – запрещен, 1 – разрешен)
- 11 разрешение работы канала 3 (0 – запрещен, 1 – разрешен)
- 12 установка неактивного уровня выключенного канала 0 (0 – логический "0", 1 – логическая "1")
- 13 установка неактивного уровня выключенного канала 1 (0 – логический "0", 1 – логическая "1")
- 14 установка неактивного уровня выключенного канала 2 (0 – логический "0", 1 – логическая "1")
- 15 установка неактивного уровня выключенного канала 3 (0 – логический "0", 1 – логическая "1")
- 16 Разрешение прерывания канала 0 (0 – запрещено, 1 – разрешено)
- 17 Разрешение прерывания канала 1 (0 – запрещено, 1 – разрешено)
- 18 Разрешение прерывания канала 2 (0 – запрещено, 1 – разрешено)
- 19 Разрешение прерывания канала 3 (0 – запрещено, 1 – разрешено)
- 20 установка активного уровня включенного канала 0 (0 – логический "0", 1 – логическая "1")
- 21 установка активного уровня включенного канала 1 (0 – логический "0", 1 – логическая "1")
- 22 установка активного уровня включенного канала 2 (0 – логический "0", 1 – логическая "1")
- 23 установка активного уровня включенного канала 3 (0 – логический "0", 1 – логическая "1")
- 24-31 *Зарезервировано*

PWMxINT
 Номер бита
 Доступ
 Описание

Регистр прерываний																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																	RW	RW	RW	RW											
Зарезервировано																	CH3_IRQ	CH2_IRQ	CH1_IRQ	CH0_IRQ											

Назначение разрядов регистра:

- 0 счетчика канала 0 достиг значения регистра сравнения
- 1 счетчика канала 1 достиг значения регистра сравнения
- 2 счетчика канала 3 достиг значения регистра сравнения
- 3 счетчика канала 4 достиг значения регистра сравнения
- 4-31 *Зарезервировано*

PWMxCNTVAL

Номер бита
Доступ
Описание

Регистр текущего значения счетчика																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																R															
Зарезервировано																CNT_VAL															

Назначение разрядов регистра:

0-15 текущее значение счетчика
16-31 Зарезервировано

PWMxPSC

Номер бита
Доступ
Описание

Регистр значения предделителя																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
Зарезервировано																PSC															

Назначение разрядов регистра:

0-15 значение предделителя
16-31 Зарезервировано

PWMxCNT

Номер бита
Доступ
Описание

Регистр периода счетчика																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
Зарезервировано																CNT_PER															

Назначение разрядов регистра:

0-15 период счетчика
16-31 Зарезервировано

PWMxCMPCHn

Номер бита
Доступ
Описание

Регистр сравнения																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																RW															
Зарезервировано																CMP_VAL															

Назначение разрядов регистра:

0-15 значение регистра сравнения канала
16-31 Зарезервировано

2.4.7. Порт ввода-вывода (GPIOx)

- каждый бит порта ввода-вывода может быть индивидуально настроен на ввод или вывод, а также дополнительно может являться источником прерывания;
- для формирования прерывания вывод может быть настроен на срабатывание по уровню и по переднему/заднему фронту;
- порт так же предназначен для вывода альтернативных функций, например линий приема и передачи UART.

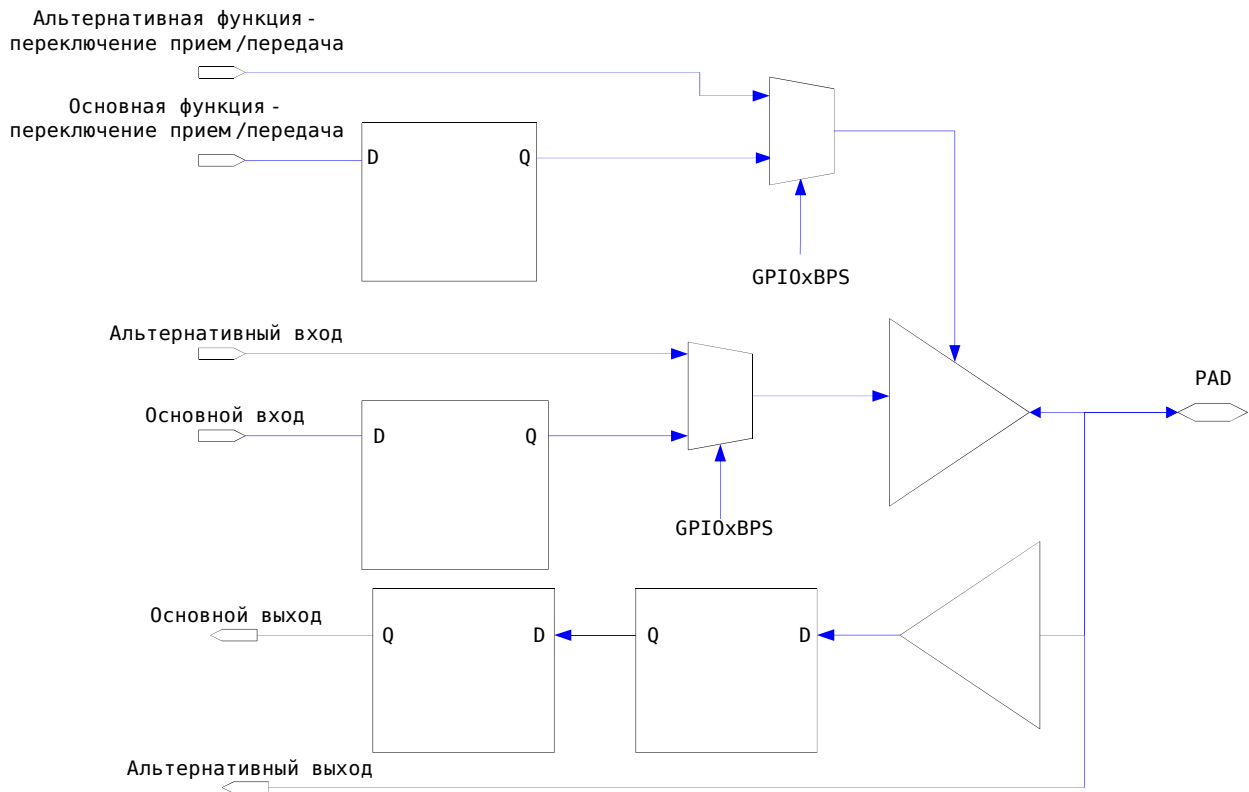


Рис. 19 - Блок-схема одного бита GPIOx

Регистр	Смещение адреса*	Доступ	Описание
GPIOxIN	00h	R	Регистр принимаемых данных
GPIOxOUT	04h	W	Регистр передаваемых данных
GPIOxDIR	08h	RW	Регистр разрешения передачи
GPIOxMSK	0Ch	RW	Регистр маски прерываний
GPIOxPOL	10h	RW	Регистр настройки прерывания по событию 1
GPIOxEDG	14h	RW	Регистр настройки прерывания по событию 2
GPIOxBPS	18h	RW	Регистр разрешения альтернативных функций

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение буквенного обозначения для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами А,В и т.д. X – будет соответствовать обозначению блока

Примечание: для портов А, В значащими являются биты с 0 по 31, а для портов D, С значащими являются биты с 0 по 15; чтение битов с 16 по 31 для портов D, С даст нулевой результат, а запись будет безрезультатна.

GPIOxIN

Номер бита
Описание

Регистр принимаемых данных																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
значение на выводах порта																															

GPIOxOUT

Номер бита
Описание

Регистр передаваемых данных																															
11	12	13	14	15	16	17	18	19	20	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
значение на выводах порта																															

GPIOxDIR

Номер бита
Описание

Регистр разрешения передачи																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
разрешение передачи																															

Назначение разрядов регистра:

0-31 разрешение передачи для каждого бита (0 – запрещена, 1 – разрешена)

GPIOxMSK

Номер бита
Описание

Регистр маски прерываний																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
маска																															

Назначение разрядов регистра:

0-31 разрешение обработки событий для каждого бита (0 – запрещена, 1 – разрешена)

GPIOxPOL

Номер бита
Описание

Регистр настройки прерывания по событию, полярность сигнала																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
параметр																															

Назначение разрядов регистра:

0-31 уровень срабатывания (0 – 0 или задний фронт, 1 – 1 или передний фронт)

GPIOxEDG

Номер бита
Описание

Регистр настройки прерывания по событию, составляющая сигнала																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
параметр																															

Назначение разрядов регистра:

0-31 разрешение срабатывания по фронту сигнала (0 – срабатывание по уровню, 1 – по фронту)

GPIOxBPS

Номер бита
Описание

Регистр разрешения альтернативных функций																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
параметр																															

Назначение разрядов регистра:

0-31 разрешение альтернативной функции для каждого бита (0 – запрещена, 1 – разрешена)

2.4.8. Ethernet контроллер (Ethernet0)

- контроллер поддерживает скорость 10/100 Мбит в полно- и полудуплексном режиме;
- DMA для передатчика и для приемника;
- поддерживает MII и RMII интерфейсы.

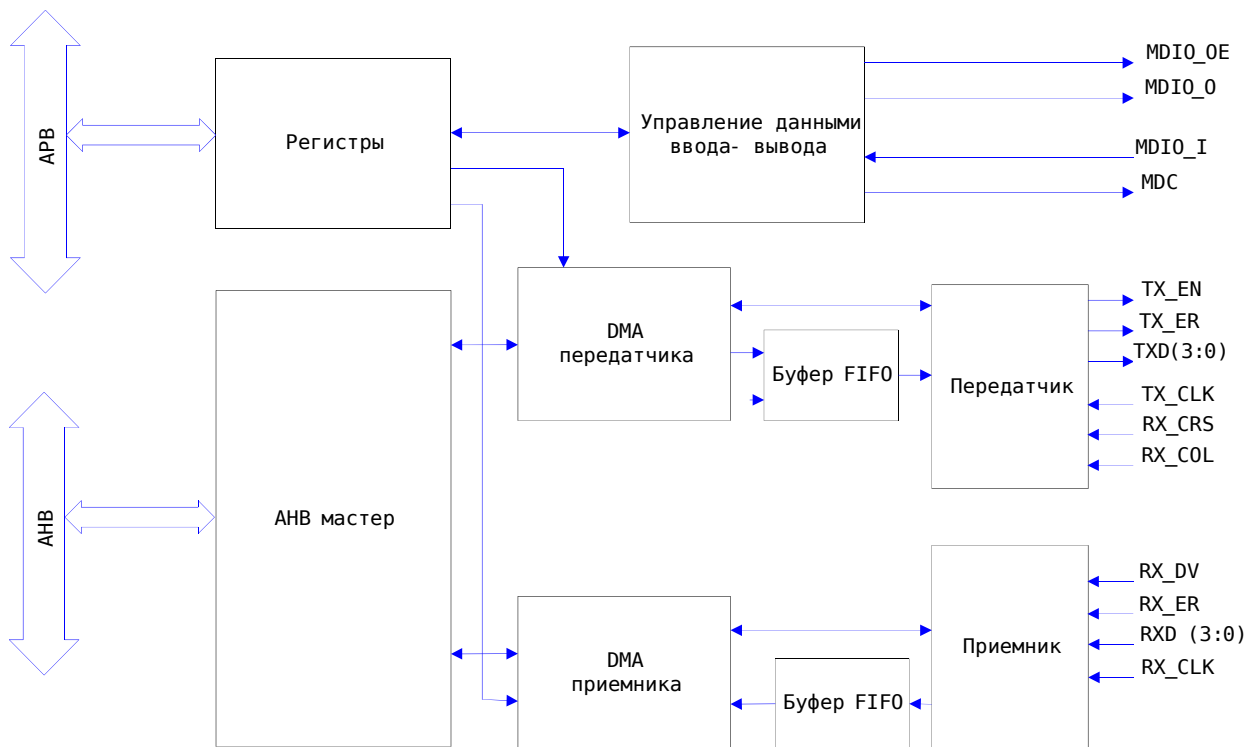


Рис. 20 - Блок-схема контроллера Ethernet0

Регистр	Смещение адреса*	Доступ	Описание
ETHxCR	00h		Регистр управления
ETHxST	04h		Регистр статуса
ETHxMACMSB	08h		MAC адрес старшая часть
ETHxMACLSB	0Ch		MAC адрес младшая часть
ETHxTDP	014h		Указатель дескриптора передачи
ETHxRDP	018h		Указатель дескриптора приемника

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

ETHxCR	Регистр управления ETHxCR																																												
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
Номер бита																																													
Операции	R				R				R																RW	RW	R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW				
Начальное состояние	0				0				0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Описание	Зарезервировано				МС				Зарезервировано																ME	PI	-	SP	RS	PM	FD	RI	TI	RE	TE										

Назначение разрядов регистра:

- 0 разрешение передачи, бит автоматически сбрасывается в "0" после завершения передачи пакета. Устанавливать бит следует только после записи дескриптора передачи (0 – запрещена, 1 – разрешена)
- 1 разрешение приема, бит автоматически сбрасывается в "0" после завершения приема пакета. Устанавливать бит следует только после записи дескриптора приема (0 – запрещен, 1 – разрешен)
- 2 разрешение прерываний передатчика (0 – запрещены, 1 – разрешены)
- 3 разрешение прерываний приемника (0 – запрещены, 1 – разрешены)
- 4 полнодуплексный режим (0 – запрещен, 1 – разрешен)
- 5 прием всех пакетов несмотря на адрес устройства назначения (0 – запрещен, 1 – разрешен)
- 6 сброс, бит будет очищен после окончания сброса контроллера, никакие другие операции не следует производить с контроллером пока бит = "1" (1 – инициировать сброс контроллера Ethernet)
- 7 скорость (0 – 10 Мбит/с, 1 – 100 Мбит/с)
- 9-8 *Зарезервировано*
- 10 разрешить прерывания при изменении статуса внешнего PHY (0 – запрещены, 1 – разрешены)
- 11 разрешить прием широковещательных пакетов (0 – запрещен, 1 – разрешен)
- 12-24 *Зарезервировано*
- 25 статус широковещательного режима (0 – запрещен, 1 – разрешен)
- 26-31 *Зарезервировано*

ETHxST	Регистр статуса ETHxST																																										
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
Номер бита																																											
Операции	R																																										
Начальное состояние	0																																										
Описание	Зарезервировано																								PS	IA	TS	TA	RA	TI	RI	TE	RE										

Назначение разрядов регистра:

Для всех разрядов регистра:

0 – отсутствие признака или события

1 – наличие признака или события

- 0 прием пакета прервался ошибкой. Очищается записью "1".
- 1 передача пакета прервалась ошибкой. Очищается записью "1".
- 2 пакет принят без ошибок. Очищается записью "1".
- 3 пакет передан без ошибок. Очищается записью "1".
- 4 ошибка приемника при работе по каналу DMA. Коллизии на системной шине или при доступе к памяти. Очищается записью "1".
- 5 ошибка передатчика при работе по каналу DMA. Коллизии на системной шине или при доступе к памяти. Очищается записью "1".
- 6 принят пакет данных меньше минимального размера. Очищается записью "1".
- 7 принят пакет с адресом не соответствующим MAC. Очищается записью "1".
- 8 изменения статуса PHY
- 9-31 *Зарезервировано*

ETHxMACMSB

Номер бита
Операции
Начальное состояние
Описание

Регистр MAC старшая часть																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																RW															
0																0															
Зарезервировано																47..32 биты MAC															

Назначение разрядов регистра:

0-15 Два самых старших байта MAC адреса
16-31 Зарезервировано

ETHxMACLSB

Номер бита
Операции
Начальное состояние
Описание

Регистр MAC младшая часть																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0																															
31..0 биты MAC																															

Назначение разрядов регистра:

0-31 младшие байты MAC адреса

ETHxTDP

Номер бита
Операции
Начальное состояние
Описание

Указатель дескриптора передачи ETHxTDP																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																RW								R							
0																0								0							
BASEADDR																DESCPNT								-							

Назначение разрядов регистра:

0-2 Зарезервировано

3-9 указатель на дескриптор, автоматически инкрементируется при получении нового пакета данных

10-31 базовый адрес дескрипторов. Необходимо выставлять адрес 0xE0200000 + реальный адрес в ПД, записываются только старшие биты 31..10

ETHxRDP

Номер бита
Операции
Начальное состояние
Описание

Указатель дескриптора приемника ETHxRDP																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																RW								R							
0																0								0							
BASEADDR																DESCPNT								RES							

Назначение разрядов регистра:

0-2 Зарезервировано

3-9 указатель на дескриптор, автоматически инкрементируется при получении нового пакета данных

10-31 базовый адрес дескрипторов. Необходимо выставлять адрес 0xE0200000 + реальный адрес в ПД, записываются только старшие биты 31..10

Дескрипторы размещаются в памяти, начиная с базового адреса. Под дескрипторы выделяется 1к ПД отдельно для дескрипторов приемника и передатчика. Дескриптор занимает 64 бита (8 байт). Структура дескрипторов описана ниже.

2.4.9. Таймер общего назначения (GPTIMx)

- можно использовать как внешний так и системный тактовый сигнал;
- представляет собой декрементирующий счетчик с предделителем.

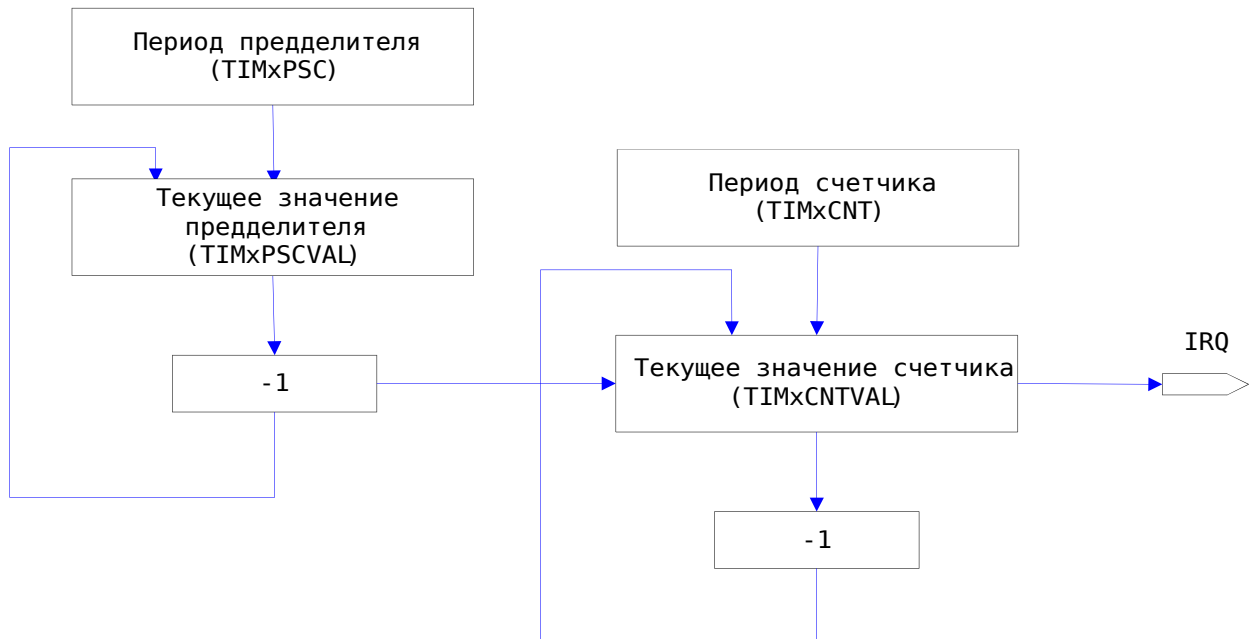


Рис. 21 - Блок-схема GPTIMx

Регистр	Смещение адреса*	Доступ	Описание
TIMxPSC	00h	RW	значение предделителя
TIMxPSC	04h	RW	Период предделителя
TIMxCNTVAL	10h	RW	Текущее значение счетчика
TIMxCNT	14h	RW	Период счетчика
TIMxCR	18h	RW	Регистр управления

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

TIMxPSCVAL

Номер бита
Операции
Начальное состояние
Описание

Текущее значение предделителя																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																RW															
0																0															
Зарезервировано																PSC_VAL															

Назначение разрядов регистра:

0-15 текущее значение предделителя
16-31 Зарезервировано

TIMxPSCPER

Номер бита
Доступ
Начальное состояние
Описание

Период предделителя																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0																0															
Зарезервировано																PSC_PER															

Назначение разрядов регистра:

0-15 период предделителя
16-31 Зарезервировано

TIMxCNTVAL

Номер бита
Доступ
Начальное состояние
Описание

Текущее значение счетчика																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0																CNT_VAL															

Назначение разрядов регистра:

0-31 текущее значение счетчика таймера.

TIMxCNT

Номер бита
Доступ
Начальное состояние
Описание

Период счетчика																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0																CNT_PER															

Назначение разрядов регистра:

0-31 период счетчика

TIMxCR

Номер бита
Доступ
Начальное состояние
Описание

Регистр управления																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																															
0																RW RW RW RW RW															
0																0 0 0 0 0															
0																IP IE LD RS EN															

Назначение разрядов регистра:

- 0 разрешение работы таймера (0 – запрещена, 1 – разрешена)
- 1 Режим работы (0 – однократный режим, счетчик один раз считает до 0 и останавливается, 1 – периодический режим, после достижения значения 0, счетчик перезагружается значение регистра TIMxCNT и снова начинается счет)
- 2 загрузить значение TIMxCNT в TIMxVAL (1 – загрузить)
- 3 разрешение прерывания (0 – запрещено, 1 – разрешено)
- 4 прерывание. Очищается записью "1" (1 – счетчик таймера достиг 0)
- 7-31 Зарезервировано

2.4.10. Последовательный интерфейс I2S (I2S0)

- работает в режиме «ведущий»;
- осуществляет только прием данных от «ведомых» устройств.

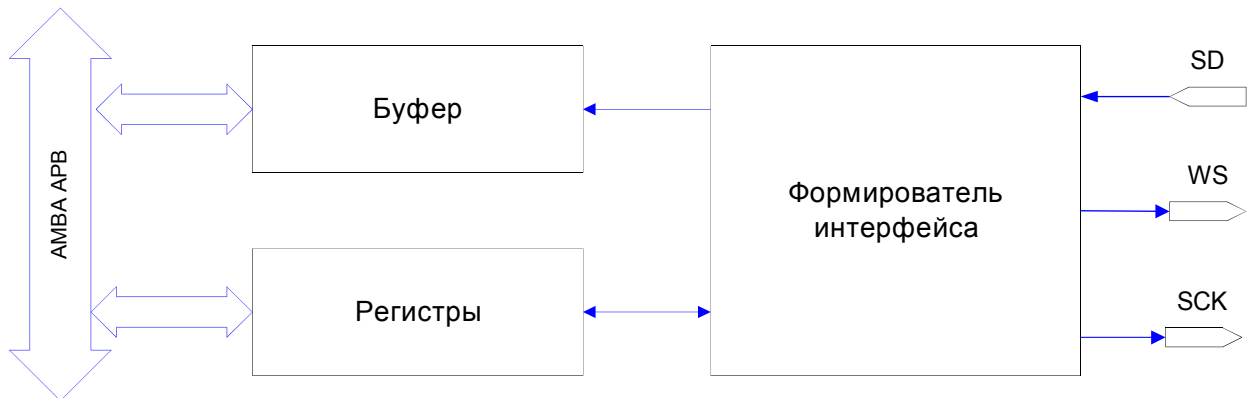


Рис. 22 - Блок-схема I2S0

I2S Контроллер I2S (ведущий, только прием)

Регистр	Смещение адреса*	Доступ	Описание
I2SxCFG	00h	R	Регистр настройки приемника
I2SxMSK	04h	RW	Регистр маски прерываний
I2SxINT	08h	RW	Регистр прерываний
I2SxRX	0Ch	RW	выход буфера приемника

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

I2SxCFG
Номер бита
Доступ
Описание

Регистр настройки приемника																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
R=0																RW						RW						R=0				RW	RW	RW
Зарезервировано																RES						PSC						-				SWAP	INTEN	RXEN

Назначение разрядов регистра:

- 0 разрешение работы (0 – запрещена, 1 – разрешена)
- 1 разрешение прерываний (0 – запрещены, 1 – разрешены)
- 2 установка записи левого канала (0 - в четные адреса, 1 – в нечетные адреса)
- 3-7 Зарезервировано
- 8-15 значение делителя передающей частоты
- 16-21 количество бит в записываемых аудио данных (16-32 бит)
- 22-31 Зарезервировано

I2SxMSK
Номер бита
Доступ
Описание

Регистр маски прерываний																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																										RW		RW			
Зарезервировано																										HSBF	LSBF				

Назначение разрядов регистра:

- Для всех разрядов регистра:
- 0 – запрет
 - 1 – разрешение
 - 0 сигнал нижний буфер аудиоданных заполнен
 - 1 сигнал верхний буфер аудиоданных заполнен
 - 2-31 Зарезервировано

I2SxINT
Номер бита
Доступ
Описание

Регистр прерываний																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																										R	R				
Зарезервировано																										HSBF_ST	LSBF_ST				

Назначение разрядов регистра:

- Для всех разрядов регистра:
- 0 – отсутствие признака или события
 - 1 – наличие признака или события
 - 0 нижний буфер аудиоданных заполнен
 - 1 верхний буфер аудиоданных заполнен
 - 2-31 Зарезервировано

I2SxRX
Номер бита
Доступ
Описание

Регистр параметров приемника																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																															
RX_OUT																															

Назначение разрядов регистра:

- 0-31 Принятые данные

2.4.11. USB (USB0)

- реализует USB 1.1 FS, совместим с микросхемой Fairchild USB1T11A;
- работает только в режиме “device”;
- поддержка 4 классов каналов: поточный, управляющий, изохронный, прерывание;
- поддерживает LS (1,5 Мбит/с) и FS (12 Мбит/с) режим;
- включает 4-х канальный буфер обмена (FIFO);
- для работы необходим внешний тактовый генератор 48МГц.

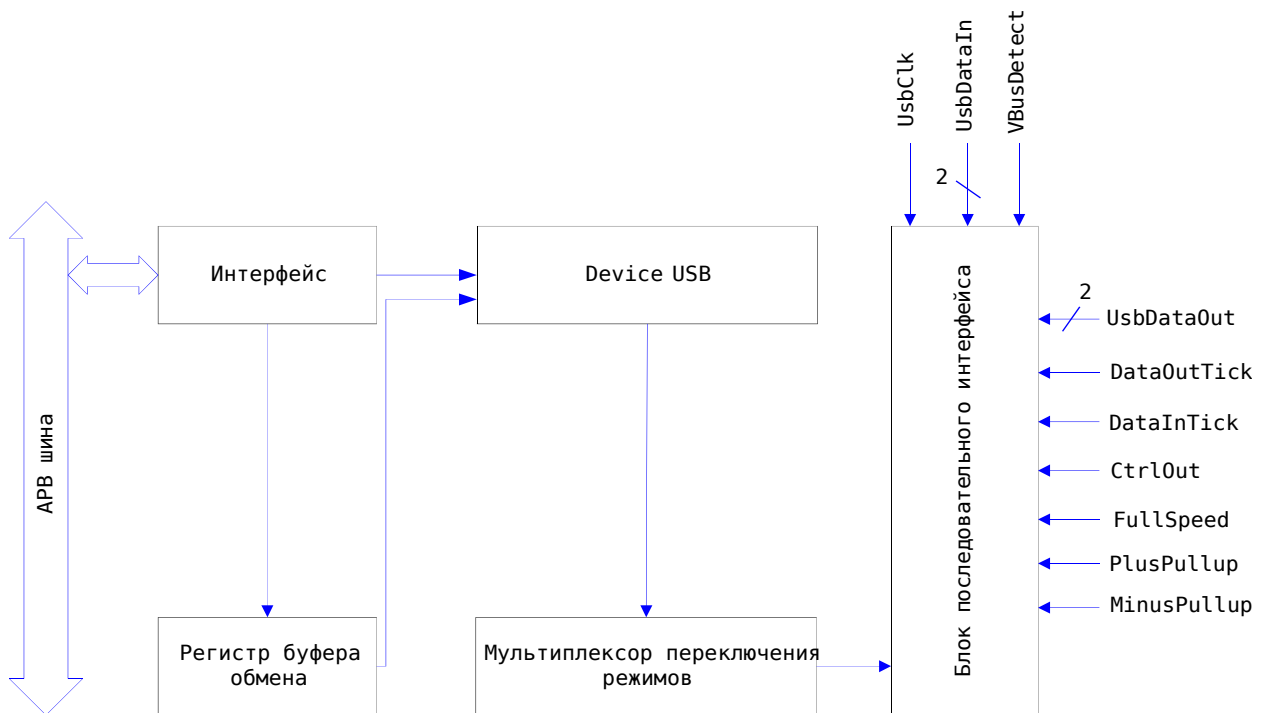


Рис. 23 - Блок-схема USB0

Регистр	Смещение адреса*	Доступ	Описание
USBxHSCR	E0h	RW	Регистр выбора режима работы
USBxEPnCR	40H, 44H, 48H, 4CH	RW	Регистр управления EPn
USBxEPnST	41H, 45H, 49H, 4DH	RW	Регистр состояния EPn
USBxEPnTRST	42H, 46H, 4AH, 4EH	R	Регистр состояни соединения EPn
USBxEPnNTRST	43H, 47H, 4BH, 4FH	RW	Регистр NACK состояни соединения EPn
USBxCR	50h	RW	Регистр управления контроллера
USBxLNST	51h	R	Регистр состояния соединения контроллера
USBxINT	52h	RW	Регистр прерываний контроллера
USBxMSKINT	53h	RW	Регистр маски прерываний
USBxADDR	54h	R	Регистр адреса устройства
USBxMSPFRAME	55h	RW	старшие биты счетчика пакетов SOF
USBxLSPFRAME	56h	RW	младшие биты счетчика пакетов SOF
USBxEPnRX	60h, 80h, a0h, c0h	R	буфер приемника EPn
USBxEPnRXMSB	62h, 82h, a2h, c2h	RW	старший байт счетчика буфера приемника EPn
USBxEPnRXLSB	63h, 83h, a3h, c3h	RW	младший байт счетчика буфера приемника EPn
USBxEPnRXCLR	64h, 84h, a4h, c4h	W	Регистр управления буфером приемника EPn
USBxEPnTX	70h, 90h, b0h, d0h	W	буфер передатчика EPn
USBxEPnTXCLR	74h, 94h, b4h, d4h	W	Регистр управления буфером передатчика EPn

* - Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

x – замещение номера для идентичных регистров, например есть несколько идентичных периферийных блоков с номерами 0,1 и т.д. X – будет соответствовать номеру блока

USBxHSCR
Номер бита
Доступ
Описание

Регистр выбора режима работы																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R																	W	R													
Зарезервировано																	RESET	-													

Назначение разрядов регистра:

- 0 Зарезервировано
- 1 сброс контроллера USB, на перезагрузку требуется 10 тактов системной частоты (1 – сбросить)
- 2-31 Зарезервировано

USBxEPnCR
Номер бита
Доступ
Описание

Регистр управления EPn																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																	RW	RW	RW	RW	RW										
Зарезервировано																	ISO	STALL	OUT	READY	EN										

Назначение разрядов регистра:

- 0 разрешение работы EndPoint (0 – запрещена, 1 – разрешена)
- 1 готовность EP к ответу на запрос, очищается автоматически после завершения обмена (1 – EP готов)
- 2 если бит 0, то ответ будет пакетом DATA1, если 1 то ответ будет DATA0
- 3 посылка сигнала STALL, если Host инициировал обмен данными (1 – послать сигнал STALL)
- 4 разрешение изохронного обмена, данные (принимаемые/передаваемые) не подтверждаются ACK (0 – запрещен, 1 – разрешен)
- 5-31 Зарезервировано

USBxEPnST
Номер бита
Доступ
Описание

Регистр состояния EPn																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																	R	R	R	R	R	R	R	R							
Зарезервировано																	SEQ	ACK	STALL	NAK	TIME	OVF	STUFF	CRC							

Назначение разрядов регистра:

- Для всех разрядов регистра:
- 0 – отсутствие признака или события
 - 1 – наличие признака или события
- 0 ошибка CRC
 - 1 ошибка структуры данных
 - 2 недостаточно места в буфере приемника
 - 3 нет ответа от Host
 - 4 NACK отправлен в Host
 - 5 STALL отправлен в Host
 - 6 ACK принят от Host
 - 7 если последняя передача была типа OUT_TRANS, то бит показывает, где лежит последний принятый пакет (DATA0 = 0, DATA1 = 1)
 - 8-31 Зарезервировано

USBxEPnTRST

Номер бита
Доступ
Описание

Регистр состояния соединения EPn																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																														RW	
Зарезервировано																														TYPE	

Назначение разрядов регистра:

- 0-1 Тип последней транзакции (в случае, когда EP была готова)
 - 00 – SETUP,
 - 01 – IN,
 - 10 – OUT_DATA
- 2-31 Зарезервировано

USBxEPnNTRST

Номер бита
Доступ
Описание

Регистр NACK состояния соединения EPn																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																														RW	
Зарезервировано																														TYPE	

Назначение разрядов регистра:

- 0-1 Тип последней транзакции закончившейся посылкой NACK в Host
 - 00 – SETUP,
 - 01 – IN,
 - 10 – OUT_DATA
- 2-31 Зарезервировано

USBxCR

Номер бита
Доступ
Описание

Регистр управления контроллера																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																								R	R	R	R	R	R		
Зарезервировано																								PULL	SPEED	POL	DIRCR	LNTEST	EN_GLOB		

Назначение разрядов регистра:

- 0 глобальный бит разрешения работы EP (0 – запрещена, 1 – разрешена)
- управление линиями D+, D- (если бит DIRCR = "1"):
- 1-2
 - 1 – управление линией D-
 - 2 – управление линией D+
- 3 разрешение управления линиями D+, D- (0 – разрешено, 1 – запрещено)
- полярность линии:
- 4
 - 0 – низкоскоростной полярности линии (J=1, K=0)
 - 1 – высокоскоростной полярности линии (J=0, K=1)
- 5 скорость (0 – 1,5 Мбит/с, 1 – 12 Мбит/с)
- 6 управление подтягивающими резисторами D+, D-:
 - 0 – управление отключено
 - 1 – D+ (SPEED = "1") или D- (SPEED = "0") подтягивается к высокому уровню
- 7-31 Зарезервировано

USBxSTLN

Номер бита
Доступ
Описание

Регистр состояния соединения контроллера																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R=0																										R	R				
Зарезервировано																										VBUS	LINE				

Назначение разрядов регистра:

- 0-1 состояния соединения:
 - 00 – сброс
 - 01 – 1,5 Мбит/с
 - 10 – 12 Мбит/с
- напряжения на шине:
- 2
 - 0 - +5 В USB не подано
 - 1 - +5 В USB подано
- 3-31 Зарезервировано

USBxSTINT
 Номер бита
 Доступ
 Описание

Регистр прерываний контроллера																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																								RC	RC	RC	RC	RC	RC	Зарезервировано											VBUS	NAK	SOF	RESET	RESUME	DONE

Назначение разрядов регистра:

Для всех разрядов регистра:

0 – отсутствие признака или события

1 – наличие признака или события

0 транзакция завершена. Очищается записью "1"

1 возобновление транзакции. Очищается записью "1"

2 D+ и D- в низком уровне. Очищается записью "1"

3 SOF принят. Очищается записью "1"

4 NACK отправлен. Очищается записью "1"

5 внешнее питание подано. Очищается записью "1"

6-31 Зарезервировано

USBxMSKINT
 Номер бита
 Доступ
 Описание

Регистр маски прерываний																																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
R=0																								RW	RW	RW	RW	RW	Зарезервировано											MSKNACK	MSKSOF	MSKRESET	MSKRESUME	MSKDONE

Назначение разрядов регистра:

Для всех разрядов регистра:

0 – событие запрещено

1 – событие разрешено

0 транзакция завершена

1 возобновление транзакции

2 D+ и D- в низком уровне

3 SOF принят

4 NACK отправлен

5 внешнее питание подано

6-31 Зарезервировано

USBxADDR
 Номер бита
 Доступ
 Описание

Регистр адреса устройства																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																								R						Зарезервировано											ADDR					

Назначение разрядов регистра:

0-6 адрес USB устройства

7-31 Зарезервировано

USBxMSPFRAME
 Номер бита
 Доступ
 Описание

Старшие биты счетчика пакетов SOF																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																								R						Зарезервировано											MSPNUM					

Назначение разрядов регистра:

0-2 биты [10:8] числа принятых пакетов в последней SOF транзакции

3-31 Зарезервировано

USBxLSPFRAME
 Номер бита
 Доступ
 Описание

Младшие биты счетчика пакетов SOF																																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
R=0																								R						Зарезервировано											LSPNUM					

Назначение разрядов регистра:

0-7 биты [7:0] числа принятых пакетов в последней SOF транзакции

8-31 Зарезервировано

USBxEPnRX	буфер приемника EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																RW															
Номер бита	Зарезервировано																RXDATA															
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0-7 буфер принимаемых данных																																
8-31 Зарезервировано																																

USBxEPnRXMSB	старший байт счетчика буфера приемника EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																R															
Номер бита	Зарезервировано																MSB_NUM															
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0-7 старший байт счетчика данных в буфере приемника																																
8-31 Зарезервировано																																

USBxEPnRXLSB	младший байт счетчика буфера приемника EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																R															
Номер бита	Зарезервировано																LSB_NUM															
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0-7 младший байт счетчика данных в буфере приемника																																
8-31 Зарезервировано																																

USBxEPnRXCLR	Регистр управления буфером приемника EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																															W
Номер бита	Зарезервировано																															CLR
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0 очистка буфера приемника (1 – очистить)																																
1-31 Зарезервировано																																

USBxEPnTX	буфер передатчика EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																RW															
Номер бита	Зарезервировано																TXDATA															
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0-7 буфер передаваемых данных																																
8-31 Зарезервировано																																

USBxEPnTXCLR	Регистр управления буфером передатчика EPn																															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R=0																															W
Номер бита	Зарезервировано																															CLR
Доступ																																
Описание																																
Назначение разрядов регистра:																																
0 очистка буфера передатчика (1 – очистить)																																
1-31 Зарезервировано																																

2.5. Назначение выводов процессора

2.5.1. Назначение выводов процессора МСр0411100101 – Q 208

S – подсоединение к линиям электропитания I – вход O – выход NC – не подсоединен OSC – для подсоединения осцилляторов/генераторов					DVDD – + выходный каскадов (3.3В) DVSS – GND выходных каскадов VDD – + ядра (1.8В) VSS – GND ядра	
Вывод	Тип	Порт	Бит		Альтернативная функция	Описание/примечания
1	I/O	GPIOA	0	GPIOA[0]	eth0_col	
2	I/O		1	GPIOA[1]	eth0_tx_en	
3	I/O		2	GPIOA[2]	eth0_tx_er	
4	I/O		3	GPIOA[3]	eth0_txd0	
5	I/O		4	GPIOA[4]	eth0_txd1	
6	S			DVDD		
7	S			DVSS		
8	S			VSS		
9	S			VDD		
10	I/O	GPIOA	5	GPIOA[5]	eth0_txd2	
11	I/O		6	GPIOA[6]	eth0_txd3	
12	I/O		7	GPIOA[7]	eth0_tx_clk	
13	I/O		8	GPIOA[8]	eth0_crs	
14	I/O		9	GPIOA[9]	eth0_rx_dv	
15	S			DVDD		
16	S			DVSS		
17	S			VSS		
18	S			VDD		
19	I/O	GPIOA	10	GPIOA[10]	eth0_rx_er	
20	I/O		11	GPIOA[11]	eth0_rxd0	
21	I/O		12	GPIOA[12]	eth0_rxd1	
22	I/O		13	GPIOA[13]	eth0_rxd2	
23	I/O		14	GPIOA[14]	eth0_rxd3	
24	S			DVDD		
25	S			DVSS		
26	S			VSS		
27	S			VDD		
28	I/O	GPIOA	15	GPIOA[15]	eth0_rx_clk	

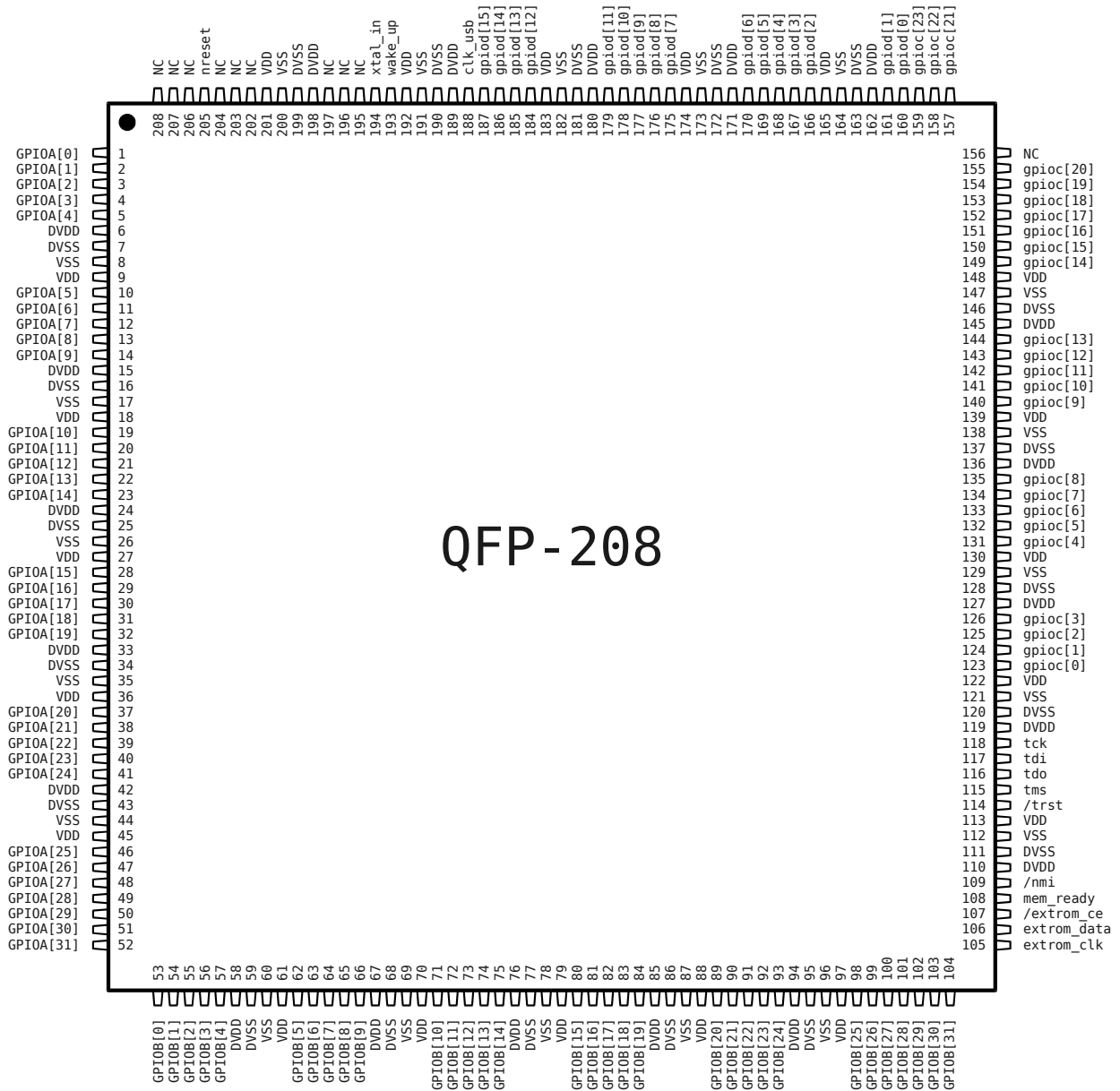
29	I/O		16	GPIOA[16]	eth0_mdio	
30	I/O		17	GPIOA[17]	eth0_mdc	
31	I/O		18	GPIOA[18]	usb0_v_det	
32	I/O		19	GPIOA[19]	-	
33	S			DVDD		
34	S			DVSS		
35	S			VSS		
36	S			VDD		
37	I/O	GPIOA	20	GPIOA[20]	-	
38	I/O		21	GPIOA[21]	-	
39	I/O		22	GPIOA[22]	i2c0_scl	
40	I/O		23	GPIOA[23]	i2c0_sda	
41	I/O		24	GPIOA[24]	usb0_vp_in	
42	S			DVDD		
43	S			DVSS		
44	S			VSS		
45	S			VDD		
46	I/O	GPIOA	25	GPIOA[25]	usb0_vm_in	
47	I/O		26	GPIOA[26]	usb0_vp_out	
48	I/O		27	GPIOA[27]	usb0_vm_out	
49	I/O		28	GPIOA[28]	/usb0_oe	
50	I/O		29	GPIOA[29]	usb0_fs	
51	I/O		30	GPIOA[30]	usb0_dp_pullup	
52	I/O	31	GPIOA[31]	usb0_dm_pullup		
53	I/O	GPIOB	0	GPIOB[0]	spi0_sck_out	
54	I/O		1	GPIOB[1]	spi0_mosi	
55	I/O		2	GPIOB[2]	spi0_miso	
56	I/O		3	GPIOB[3]	spi0_sel_in	
57	I/O		4	GPIOB[4]	spi0_sck_in	
58	S			DVDD		
59	S			DVSS		
60	S			VSS		
61	S			VDD		
62	I/O	GPIOB	5	GPIOB[5]	spi0_ss0	
63	I/O		6	GPIOB[6]	spi0_ss1	
64	I/O		7	GPIOB[7]	spi0_ss2	
65	I/O		8	GPIOB[8]	uart0_txd	
66	I/O		9	GPIOB[9]	uart0_rxd	
67	S			DVDD		
68	S			DVSS		

69	S			VSS		
70	S			VDD		
71	I/O	GPIOB	10	GPIOB[10]	uart0_cts	
72	I/O		11	GPIOB[11]	uart0_rts	
73	I/O		12	GPIOB[12]	i2s_din	
74	I/O		13	GPIOB[13]	i2s_ws	
75	I/O		14	GPIOB[14]	i2s_sck	
76	S			DVDD		
77	S			DVSS		
78	S			VSS		
79	S			VDD		
80	I/O	GPIOB	15	GPIOB[15]	timer3_extclk	
81	I/O		16	GPIOB[16]	spi1_sck	
82	I/O		17	GPIOB[17]	spi1_mosi	
83	I/O		18	GPIOB[18]	spi1_miso	
84	I/O		19	GPIOB[19]	spi1_sel_in	
85	S			DVDD		
86	S			DVSS		
87	S			VSS		
88	S			VDD		
89	I/O	GPIOB	20	GPIOB[20]	spi1_sck_in	
90	I/O		21	GPIOB[21]	spi1_ss0	
91	I/O		22	GPIOB[22]	spi1_ss1	
92	I/O		23	GPIOB[23]	spi1_ss2	
93	I/O		24	GPIOB[24]	uart1_txd	
94	S			DVDD		
95	S			DVSS		
96	S			VSS		
97	S			VDD		
98	I/O	GPIOB	25	GPIOB[25]	uart1_rxd	
99	I/O		26	GPIOB[26]	uart1_cts	
100	I/O		27	GPIOB[27]	uart1_rts	
101	I/O		28	GPIOB[28]	-	
102	I/O		29	GPIOB[29]	-	
103	I/O		30	GPIOB[30]	-	
104	I/O	31	GPIOB[31]	timer4_extclk		
105	O				extrom_clk	Выход тактирования внешнего ПЗУ
106	I				extrom_data	Вход данных из внешнего ПЗУ

107	O				/extrom_ce	Сигнал разрешения работы внешнего ПЗУ
108	O				mem_ready	Сигнал готовности памяти МП
109	I				/nmi	Сигнал внешнего запроса прерывания (немаскируемый)
110	S			DVDD		
111	S			DVSS		
112	S			VSS		
113	S			VDD		
114	I				/trst	JTAG (IEEE 1149.1)
115	I				tms	
116	O				tdo	
117	I				tdi	
118	I				tck	
119	S			DVDD		
120	S			DVSS		
121	S			VSS		
122	S			VDD		
123	NC	-	-	-	-	
124	I/O	GPIOC	0	gpioc[0]	timer0_extclk	
125	I/O		1	gpioc[1]	timer1_extclk	
126	I/O		2	gpioc[2]	timer2_extclk	
127	I/O		3	gpioc[3]	-	
128	S			DVDD		
129	S			DVSS		
130	S			VSS		
131	S			VDD		
132	I/O	GPIOC	4	gpioc[4]	pwm0	
133	I/O		5	gpioc[5]	pwm1	
134	I/O		6	gpioc[6]	pwm2	
135	I/O		7	gpioc[7]	pwm3	
136	I/O		8	gpioc[8]	uart2_txd	
137	S			DVDD		
138	S			DVSS		
139	S			VSS		
140	S			VDD		
141	I/O	GPIOC	9	gpioc[9]	uart2_rxd	
142	I/O		10	gpioc[10]	uart2_cts	

143	I/O		11	gpioc[11]	uart2_rts	
144	I/O		12	gpioc[12]	-	
145	I/O		13	gpioc[13]	-	
146	S			DVDD		
147	S			DVSS		
148	S			VSS		
149	S			VDD		
150	I/O	GPIOC	14	gpioc[14]	-	
151	I/O		15	gpioc[15]	timer5_extclk	
152	I/O		16	gpioc[16]	-	
153	I/O		17	gpioc[17]	-	
154	I/O		18	gpioc[18]	-	
155	I/O		19	gpioc[19]	-	
156	I/O		20	gpioc[20]	-	
157	I/O		21	gpioc[21]	-	
158	I/O		22	gpioc[22]	-	
159	I/O		23	gpioc[23]	-	
160	I/O	GPIOD	0	gpiod[0]	spi2_sck	
161	I/O		1	gpiod[1]	spi2_mosi	
162	S			DVDD		
163	S			DVSS		
164	S			VSS		
165	S			VDD		
166	I/O	GPIOD	2	gpiod[2]	spi2_miso	
167	I/O		3	gpiod[3]	spi2_sel_in	
168	I/O		4	gpiod[4]	spi2_sck_in	
169	I/O		5	gpiod[5]	spi2_ss0	
170	I/O		6	gpiod[6]	spi2_ss1	
171	S			DVDD		
172	S			DVSS		
173	S			VSS		
174	S			VDD		
175	I/O	GPIOD	7	gpiod[7]	spi2_ss2	
176	I/O		8	gpiod[8]	uart3_txd	
177	I/O		9	gpiod[9]	uart3_rxd	
178	I/O		10	gpiod[10]	uart3_cts	
179	I/O		11	gpiod[11]	uart3_rts	
180	S			DVDD		
181	S			DVSS		
182	S			VSS		

183	S			VDD		
184	I/O	GPIOD	12	gpiod[12]	i2c1_scl	
185	I/O		13	gpiod[13]	i2c1_sda	
186	I/O		14	gpiod[14]	-	
187	I/O		15	gpiod[15]	timer6_extclk	
188	I			clk_usb	usb0_clk	
189	S			DVDD		
190	S			DVSS		
191	S			VSS		
192	S			VDD		
193	I			wake_up		Внешний сигнал выхода из "спящего режима"
194	I			xtal_in		Вход внешнего генератора
195	NC	-	-	-	-	
196	NC	-	-	-	-	
197	NC	-	-	-	-	
198	S			DVDD		
199	S			DVSS		
200	S			VSS		
201	S			VDD		
202	NC	-	-	-	-	
203	NC	-	-	-	-	
204	NC	-	-	-	-	
205	I		-	nreset		Сигнал сброса (лог. "0" – активный)
206	NC	-	-	-	-	
207	NC	-	-	-	-	
208	NC	-	-	-	-	



2.5.2. Назначение выводов процессора МСр0411100101 – СQ 240

Вывод	Тип	Порт	Бит		Альтернативная функция	Описание/примечания
S – подключение к линиям электропитания I – вход O – выход NC – не подсоединен OSC – для подсоединения осцилляторов/генераторов						DVDD – + выходной каскадов (3.3В) DVSS – GND выходных каскадов VDD – + ядра (1.8В) VSS – GND ядра
1	NC	-	-	-	-	
2	NC	-	-	-	-	
3	NC	-	-	-	-	
4	NC	-	-	-	-	
5	I/O	GPIOA	0	GPIOA[0]	eth0_col	
6	I/O		1	GPIOA[1]	eth0_tx_en	
7	I/O		2	GPIOA[2]	eth0_tx_er	
8	I/O		3	GPIOA[3]	eth0_txd0	
9	I/O		4	GPIOA[4]	eth0_txd1	
10	S			DVDD		
11	S			DVSS		
12	S			VSS		
13	S			VDD		
14	I/O	GPIOA	5	GPIOA[5]	eth0_txd2	
15	I/O		6	GPIOA[6]	eth0_txd3	
16	I/O		7	GPIOA[7]	eth0_tx_clk	
17	I/O		8	GPIOA[8]	eth0_crs	
18	I/O		9	GPIOA[9]	eth0_rx_dv	
19	S			DVDD		
20	S			DVSS		
21	S			VSS		
22	S			VDD		
23	I/O	GPIOA	10	GPIOA[10]	eth0_rx_er	
24	I/O		11	GPIOA[11]	eth0_rxd0	
25	I/O		12	GPIOA[12]	eth0_rxd1	
26	I/O		13	GPIOA[13]	eth0_rxd2	
27	I/O		14	GPIOA[14]	eth0_rxd3	
28	S			DVDD		
29	S			DVSS		
30	S			VSS		
31	S			VDD		

32	I/O	GPIOA	15	GPIOA[15]	eth0_rx_clk	
33	I/O		16	GPIOA[16]	eth0_mdio	
34	I/O		17	GPIOA[17]	eth0_mdc	
35	I/O		18	GPIOA[18]	usb0_v_det	
36	I/O		19	GPIOA[19]	-	
37	S			DVDD		
38	S			DVSS		
39	S			VSS		
40	S			VDD		
41	I/O	GPIOA	20	GPIOA[20]	-	
42	I/O		21	GPIOA[21]	-	
43	I/O		22	GPIOA[22]	i2c0_scl	
44	I/O		23	GPIOA[23]	i2c0_sda	
45	I/O		24	GPIOA[24]	usb0_vp_in	
46	S			DVDD		
47	S			DVSS		
48	S			VSS		
49	S			VDD		
50	I/O	GPIOA	25	GPIOA[25]	usb0_vm_in	
51	I/O		26	GPIOA[26]	usb0_vp_out	
52	I/O		27	GPIOA[27]	usb0_vm_out	
53	I/O		28	GPIOA[28]	/usb0_oe	
54	I/O		29	GPIOA[29]	usb0_fs	
55	I/O		30	GPIOA[30]	usb0_dp_pullup	
56	I/O	31	GPIOA[31]	usb0_dm_pullup		
57	NC	-	-	-	-	
58	NC	-	-	-	-	
59	NC	-	-	-	-	
60	NC	-	-	-	-	
61	NC	-	-	-	-	
62	NC	-	-	-	-	
63	NC	-	-	-	-	
64	NC	-	-	-	-	
65	I/O	GPIOB	0	GPIOB[0]	spi0_sck_out	
66	I/O		1	GPIOB[1]	spi0_mosi	
67	I/O		2	GPIOB[2]	spi0_miso	
68	I/O		3	GPIOB[3]	spi0_sel_in	
69	I/O		4	GPIOB[4]	spi0_sck_in	
70	S			DVDD		
71	S			DVSS		

72	S			VSS		
73	S			VDD		
74	I/O	GPIOB	5	GPIOB[5]	spi0_ss0	
75	I/O		6	GPIOB[6]	spi0_ss1	
76	I/O		7	GPIOB[7]	spi0_ss2	
77	I/O		8	GPIOB[8]	uart0_txd	
78	I/O		9	GPIOB[9]	uart0_rxd	
79	S			DVDD		
80	S			DVSS		
81	S			VSS		
82	S			VDD		
83	I/O	GPIOB	10	GPIOB[10]	uart0_cts	
84	I/O		11	GPIOB[11]	uart0_rts	
85	I/O		12	GPIOB[12]	i2s_din	
86	I/O		13	GPIOB[13]	i2s_ws	
87	I/O		14	GPIOB[14]	i2s_sck	
88	S			DVDD		
89	S			DVSS		
90	S			VSS		
91	S			VDD		
92	I/O	GPIOB	15	GPIOB[15]	timer3_extclk	
93	I/O		16	GPIOB[16]	spi1_sck	
94	I/O		17	GPIOB[17]	spi1_mosi	
95	I/O		18	GPIOB[18]	spi1_miso	
96	I/O		19	GPIOB[19]	spi1_sel_in	
97	S			DVDD		
98	S			DVSS		
99	S			VSS		
100	S			VDD		
101	I/O	GPIOB	20	GPIOB[20]	spi1_sck_in	
102	I/O		21	GPIOB[21]	spi1_ss0	
103	I/O		22	GPIOB[22]	spi1_ss1	
104	I/O		23	GPIOB[23]	spi1_ss2	
105	I/O		24	GPIOB[24]	uart1_txd	
106	S			DVDD		
107	S			DVSS		
108	S			VSS		
109	S			VDD		
110	I/O	GPIOB	25	GPIOB[25]	uart1_rxd	
111	I/O		26	GPIOB[26]	uart1_cts	

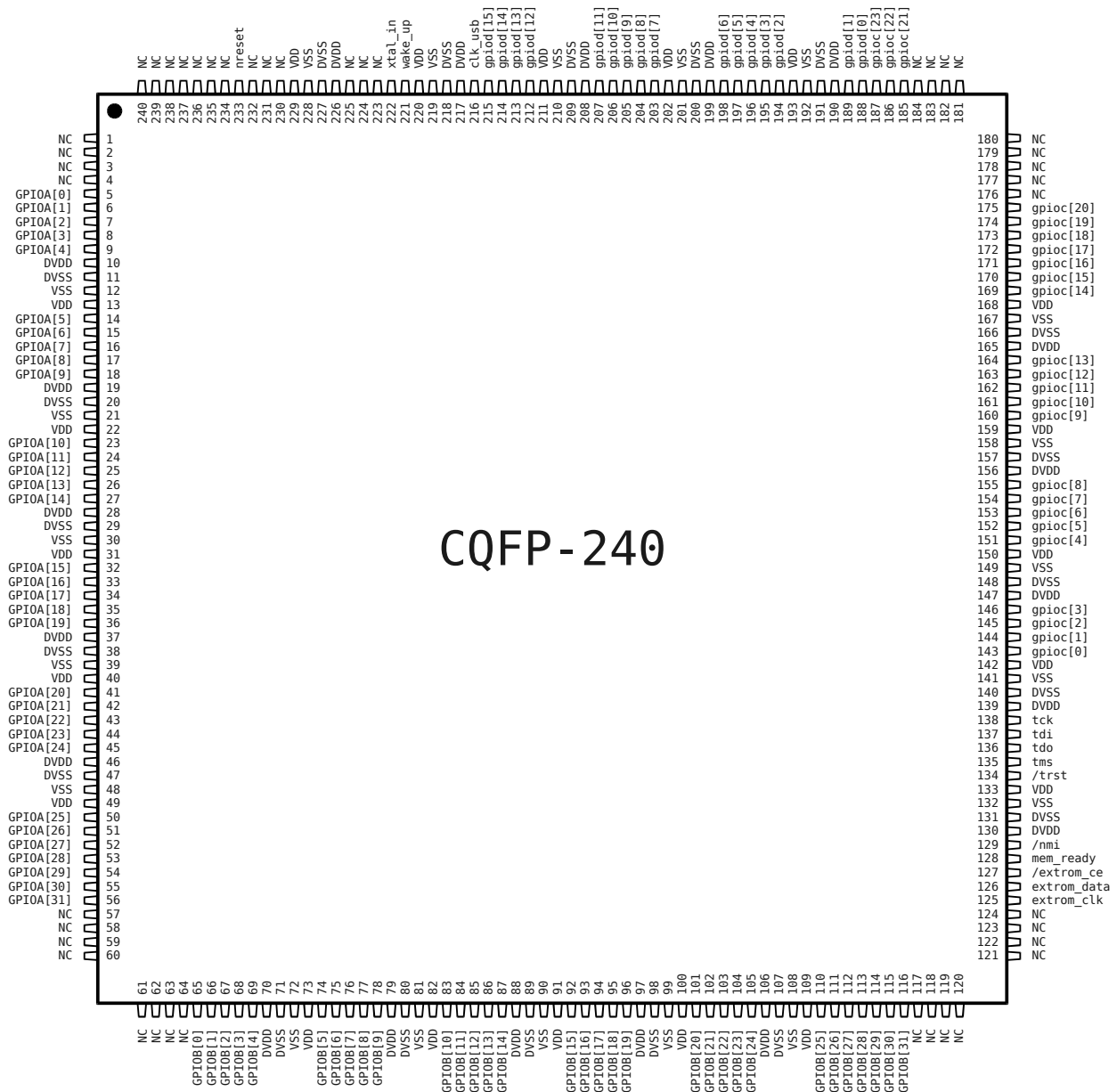
112	I/O		27	GPIOB[27]	uart1_rts	
113	I/O		28	GPIOB[28]	-	
114	I/O		29	GPIOB[29]	-	
115	I/O		30	GPIOB[30]	-	
116	I/O		31	GPIOB[31]	timer4_extclk	
117	NC	-	-	-	-	
118	NC	-	-	-	-	
119	NC	-	-	-	-	
120	NC	-	-	-	-	
121	NC	-	-	-	-	
122	NC	-	-	-	-	
123	NC	-	-	-	-	
124	NC	-	-	-	-	
125	O				extrom_clk	Выход тактирования внешнего ПЗУ
126	I				extrom_data	Вход данных из внешнего ПЗУ
127	O				/extrom_ce	Сигнал разрешения работы внешнего ПЗУ
128	O				mem_ready	Сигнал готовности памяти МП
129	I				/nmi	Сигнал внешнего запроса прерывания (немаскируемый)
130	S			DVDD		
131	S			DVSS		
132	S			VSS		
133	S			VDD		
134	I				/trst	JTAG (IEEE 1149.1)
135	I				tms	
136	O				tdo	
137	I				tdi	
138	I				tck	
139	S			DVDD		
140	S			DVSS		
141	S			VSS		
142	S			VDD		
143	NC	-	-	-	-	
144	I/O	GPIOC	0	gpioc[0]	timer0_extclk	
145	I/O		1	gpioc[1]	timer1_extclk	
146	I/O		2	gpioc[2]	timer2_extclk	

147	I/O		3	gpioc[3]	-	
148	S			DVDD		
149	S			DVSS		
150	S			VSS		
151	S			VDD		
152	I/O	GPIOC	4	gpioc[4]	pwm0	
153	I/O		5	gpioc[5]	pwm1	
154	I/O		6	gpioc[6]	pwm2	
155	I/O		7	gpioc[7]	pwm3	
156	I/O		8	gpioc[8]	uart2_txd	
157	S			DVDD		
158	S			DVSS		
159	S			VSS		
160	S			VDD		
161	I/O	GPIOC	9	gpioc[9]	uart2_rxd	
162	I/O		10	gpioc[10]	uart2_cts	
163	I/O		11	gpioc[11]	uart2_rts	
164	I/O		12	gpioc[12]	-	
165	I/O		13	gpioc[13]	-	
166	S			DVDD		
167	S			DVSS		
168	S			VSS		
169	S			VDD		
170	I/O	GPIOC	14	gpioc[14]	-	
171	I/O		15	gpioc[15]	timer5_extclk	
172	I/O		16	gpioc[16]	-	
173	I/O		17	gpioc[17]	-	
174	I/O		18	gpioc[18]	-	
175	I/O		19	gpioc[19]	-	
176	I/O		20	gpioc[20]	-	
177	NC	-	-	-	-	
178	NC	-	-	-	-	
179	NC	-	-	-	-	
180	NC	-	-	-	-	
181	NC	-	-	-	-	
182	NC	-	-	-	-	
183	NC	-	-	-	-	
184	NC	-	-	-	-	
185	I/O	GPIOC	21	gpioc[21]	-	
186	I/O		22	gpioc[22]	-	

187	I/O		23	gpioc[23]	-	
188	I/O	GPIOD	0	gpiod[0]	spi2_sck	
189	I/O		1	gpiod[1]	spi2_mosi	
190	S			DVDD		
191	S			DVSS		
192	S			VSS		
193	S			VDD		
194	I/O	GPIOD	2	gpiod[2]	spi2_miso	
195	I/O		3	gpiod[3]	spi2_sel_in	
196	I/O		4	gpiod[4]	spi2_sck_in	
197	I/O		5	gpiod[5]	spi2_ss0	
198	I/O		6	gpiod[6]	spi2_ss1	
199	S			DVDD		
200	S			DVSS		
201	S			VSS		
202	S			VDD		
203	I/O	GPIOD	7	gpiod[7]	spi2_ss2	
204	I/O		8	gpiod[8]	uart3_txd	
205	I/O		9	gpiod[9]	uart3_rxd	
206	I/O		10	gpiod[10]	uart3_cts	
207	I/O		11	gpiod[11]	uart3_rts	
208	S			DVDD		
209	S			DVSS		
210	S			VSS		
211	S			VDD		
212	I/O	GPIOD	12	gpiod[12]	i2c1_scl	
213	I/O		13	gpiod[13]	i2c1_sda	
214	I/O		14	gpiod[14]	-	
215	I/O		15	gpiod[15]	timer6_extclk	
216	I			clk_usb	usb0_clk	
217	S			DVDD		
218	S			DVSS		
219	S			VSS		
220	S			VDD		
221	I			wake_up		Внешний сигнал выхода из "спящего режима"
222	I			xtal_in		Вход внешнего генератора
223	NC	-	-	-	-	
224	NC	-	-	-	-	
225	NC	-	-	-	-	



226	S			DVDD		
227	S			DVSS		
228	S			VSS		
229	S			VDD		
230	NC	-	-	-	-	
231	NC	-	-	-	-	
232	NC	-	-	-	-	
233	I		-	nreset	XTAL_OUT	Сигнал сброса (лог. "0" – активный)
234	NC	-	-	-	-	
235	NC	-	-	-	-	
236	NC	-	-	-	-	
237	NC	-	-	-	-	
238	NC	-	-	-	-	
239	NC	-	-	-	-	
240	NC	-	-	-	-	





2.7. Электрические параметры

Токи потребления цепей на циклическом тесте FFT, частота 80 МГц,
производительность 2,4Gflops

Цепь питания (В)	3,3	1,8
Потребление (мА)	6	до 500

2.8. Маркировка

	MC	p	04	1	11	001	01	—	Q	208	I
Маркировка ядер											
Тип архитектуры MC - мультиклеточная											
Тип продукта p – процессор c – ядро											
Число клеток ядра 04, 08, 16 – четыре, восемь, шестнадцать клеток											
Тип ядра 0 – с фиксированной запятой 1 – с плавающей запятой 2 – с плавающей запятой двойной точности											
Версия ядра 11, P1 – максимальная производительность при низком энергопотреблении 21, C1 – сверхнизкое энергопотребление при высокой производительности L1 – реализовано свойство живучести (Liveness)											
Дополнительная маркировка для процессоров											
Назначение 001 – общепромышленное назначение											
Исполнение 01 – номер системотехнической и программной комплектации процессора											
Тип корпуса Q – QFP LQ – LQFP TQ – TQFP PQ – PQFP CQ – CQFP B – BGA CB – CBGA PB – PBGA											
Количество выводов											
Температурный диапазон C – 0° - +70°C I – -40° - +85°C A – -40° - +125°C M – -60° - +125°C S – -60° - +150°C											

3. ЭКСПЛУАТАЦИЯ, ХРАНЕНИЕ, ТРАНСПОРТИРОВАНИЕ

Требования к условиям эксплуатации:

Изделие при испытаниях, перевозке, хранении и эксплуатации не наносит вреда окружающей среде и здоровью человека. Сохраняет свои параметры во всем диапазоне рабочих температур от 0°C до +70°C в закрытом помещении с относительной влажностью воздуха не более 80%, без конденсата, при изменении напряжения первичного источника электропитания в допустимых пределах.

По электромагнитной совместимости, изделие соответствует всем требованиям для аппаратуры данного класса. Создаваемое оборудованием несимметричное напряжение радиопомех не превышает допустимых значений согласно ГОСТ Р 51318.22-99.

Требования к условиям хранения:

Изделие должно храниться в складских помещениях, защищенных от воздействий атмосферных осадков, на стеллажах в упаковке изготовителя при отсутствии в воздухе паров кислот, щелочей и других веществ, вызывающих коррозию. Условия хранения изделия по ГОСТ 15150-69:

- температура воздуха от 5 до 40°C;
- относительная влажность до 80 % при температуре 25°C.

Предельный срок хранения в указанных условиях - три года.

Требования к условиям транспортирования:

Транспортирование изделия разрешается в упаковке предприятия - поставщика всеми видами транспорта, за исключением негерметизированных отсеков самолета, без ограничения расстояния. Транспортирование упакованных изделий может производиться в крытых вагонах и автомашинах, трюмах судов и герметичных кабинах самолетов при температуре воздуха от минус 20 до плюс 70 °С. При любом способе транспортирования необходимо предусмотреть крепление ящика к кузову (платформе) транспортного средства с помощью крепежной арматуры.